

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
NOGUCHI et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: SEMICONDUCTOR DEVICE MANUFACTURING)
METHOD)
ATTORNEY DOCKET NO. HITA.0473)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 8, 2003, the filing date of the corresponding Japanese patent application 2003-002249.

A certified copy of Japanese patent application 2003-002249, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
December 31, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 1月 8日
Date of Application:

出願番号 特願2003-002249
Application Number:

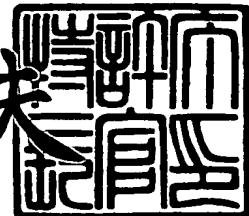
[ST. 10/C] : [JP2003-002249]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年10月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 H02013491
【提出日】 平成15年 1月 8日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/88
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
作所 デバイス開発センタ内
【氏名】 野口 純司
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
作所 デバイス開発センタ内
【氏名】 今井 俊則
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
作所 デバイス開発センタ内
【氏名】 藤原 剛
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所
【代理人】
【識別番号】 100080001
【弁理士】
【氏名又は名称】 筒井 大和
【電話番号】 03-3366-0787
【手数料の表示】
【予納台帳番号】 006909
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法

；

- (a) 半導体基板を準備する工程、
- (b) 銅を主成分とする第1導体膜を有する第1配線とキャパシタの下部電極とが埋め込まれた第1絶縁膜を、前記半導体基板上に形成する工程、
- (c) 前記第1配線および前記下部電極が埋め込まれた前記第1絶縁膜上に、第2絶縁膜を形成する工程、
- (d) 前記第2絶縁膜上に第3絶縁膜を形成する工程、
- (e) 前記第3絶縁膜を選択的に除去して第1開口部を形成する工程、
- (f) 前記第1開口部内に第2導体膜を有するキャパシタの上部電極を形成する工程、
- (g) 前記上部電極が埋め込まれた前記第3絶縁膜上に第4絶縁膜を形成する工程、
- (h) 前記第4絶縁膜を選択的に除去して第2開口部と前記上部電極を露出する第3開口部とを形成し、前記第2開口部の底部で前記第3絶縁膜および前記第2絶縁膜を選択的に除去して前記第1配線を露出する第4開口部を形成する工程、
- (i) 前記第2開口部、前記第3開口部および前記第4開口部に銅を主成分とする第3導体膜を埋め込む工程。

【請求項 2】 請求項1記載の半導体装置の製造方法において、

前記第2絶縁膜は銅の拡散を抑制または防止する機能を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項1記載の半導体装置の製造方法において、

前記下部電極と前記上部電極との間に位置する前記第2絶縁膜がキャパシタの容量絶縁膜として機能することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項1記載の半導体装置の製造方法において、

前記(e)工程では、前記第3絶縁膜および前記第2絶縁膜を選択的に除去し

て第1開口部を形成し、

前記（e）工程の後で、前記（f）工程の前に、

（e1）前記第1開口部の底部および側壁を含む前記第3絶縁膜上に第5絶縁膜を形成する工程、

を更に有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記下部電極と前記上部電極との間に位置する前記第5絶縁膜が前記キャパシタの容量絶縁膜として機能することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の半導体装置の製造方法において、

前記（e）工程では、複数の前記第1開口部が形成され、

前記（f）工程では、前記複数の第1開口部のそれぞれに前記上部電極が形成され、

前記（h）工程では、前記第3開口部はその底部において前記複数の第1開口部のそれぞれに形成された前記上部電極を露出するように形成されることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1記載の半導体装置の製造方法において、

前記（b）工程は、

（b1）前記半導体基板上に前記第1絶縁膜を形成する工程、

（b2）前記第1絶縁膜に第5開口部および第6開口部を形成する工程、

（b3）前記第5開口部および前記第6開口部を埋め込むように、銅を主成分とする前記第1導体膜を形成する工程、

（b4）前記第5開口部および前記第6開口部内に埋め込まれた前記第1導体膜を残すように、それ以外の前記第1導体膜を除去して、前記第5開口部内に前記第1配線を形成し、前記第6開口部内に前記下部電極を形成する工程、

を有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1記載の半導体装置の製造方法において、

前記（f）工程は、

（f1）前記第1開口部を埋め込むように、銅を主成分とする前記第2導体膜を形成する工程、

(f 2) 前記第1開口部内に埋め込まれた前記第2導体膜を残すように、それ以外の前記第2導体膜を除去して、前記第1開口部内に前記上部電極を形成する工程、

を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項1記載の半導体装置の製造方法において、

前記(i)工程の後に、

(j) 前記第2開口部、前記第3開口部および前記第4開口部内に埋め込まれた前記第3導体膜を残すように、それ以外の前記第3導体膜を除去する工程、
を有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記(j)工程では、前記第1配線に電気的に接続された第2配線が、前記第2開口部および前記第4開口部内に埋め込まれた前記第3導体膜により形成され、前記上部電極に電気的に接続された導体部が、前記第3開口部内に埋め込まれた前記第3導体膜により形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、銅を主成分とする主導体膜を含む埋込配線とMIM (Metal Insulator Metal) キャパシタを有する半導体装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】

半導体装置の素子間は、例えば多層配線構造により結線され回路が構成される。微細化に伴い配線構造として埋込配線構造が開発されている。埋込配線構造は、例えば絶縁膜に形成された配線溝や孔などのような配線開口部内に、ダマシン (Damascene) 技術 (シングルダマシン (Single-Damascene) 技術およびデュアルダマシン (Dual-Damascene) 技術) によって、配線材料を埋め込むことで形成される。例えば、絶縁膜の溝内を埋め込むようにめっき法によって銅膜を堆積し、その銅膜をCMP (Chemical Mechanical Polishing) 法などにより研磨する

ことによって、絶縁膜の溝内に埋込配線が形成される。

【0003】

また、回路にキャパシタが必要な場合、層間絶縁膜にMIMキャパシタが形成される。特開2001-237375号公報には、ダマシン技術を用いてMIMキャパシタの下部電極を下層の埋込銅配線と同時に形成し、MIMキャパシタの上部電極を上層の埋込銅配線と同時に形成する技術が記載されている（特許文献1参照）。

【0004】

【特許文献1】

特開2001-237375号公報

【0005】

【発明が解決しようとする課題】

MIMキャパシタの上部電極と上層埋込銅配線とを同時に形成する技術では、上層埋込銅配線形成用のビア（開口部）底部で下層埋込銅配線を露出させる（下層埋込銅配線上の絶縁膜を除去する）ときに、MIMキャパシタの上部電極形成用の開口部底部では下部電極上の絶縁膜をキャパシタ絶縁膜として残存させなければならない。これを行うためには、上部電極形成領域が覆われ、上層埋込銅配線形成領域が露出されるようなフォトレジストマスクパターンを半導体基板上に形成する必要がある。そのようなフォトレジストパターンを形成するには、半導体基板の全面に反射防止膜およびフォトレジスト膜を形成した後、フォトリソグラフィ法を用いてフォトレジスト膜をパターン化するが、上層埋込銅配線形成用のビア内に埋め込まれた反射防止膜を除去しなければならない。ビアの直径は比較的小さいので、このビアに埋め込まれた反射防止膜を除去するのは容易ではなく、無理に除去しようとすると、ビアの側壁などもエッチングされてしまい、形成される埋込配線や半導体装置の信頼性を低下させる恐れがある。

【0006】

本発明の目的は、信頼性の高い埋込配線とMIMキャパシタを有する半導体装置の製造方法を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

本発明の半導体装置の製造方法は、下層の埋込配線とキャパシタの下部電極とをダマシン法で形成した後、キャパシタの上部電極をダマシン法で形成し、その後上層の埋込配線をダマシン法で形成するものである。

【0010】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0011】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0012】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0013】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする

。このことは、上記数値および範囲についても同様である。

【0014】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0015】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】

(実施の形態1)

本実施の形態の半導体装置およびその製造工程を図面を参照して説明する。図1～図7は、本発明の一実施の形態である半導体装置、例えばMISFET (Metal Insulator Semiconductor Field Effect Transistor) の製造工程中の要部断面図である。

【0018】

図1に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウェハ)1の主面に素子分離領域2が形成される。素子分離領域2は酸化シリコンなどからなり、例えばS.T.I (Shallow Trench Isolation) 法またはLOCOS (Local Oxidization of Silicon) 法などにより形成される。

【0019】

次に、半導体基板1のnチャネル型MISFETを形成する領域にp型ウエル3を形成する。p型ウエル3は、例えばホウ素(B)などの不純物をイオン注入することなどによって形成される。

【0020】

次に、p型ウエル3の表面にゲート絶縁膜4が形成される。ゲート絶縁膜4は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。

【0021】

次に、p型ウエル3のゲート絶縁膜4上にゲート電極5が形成される。例えば、半導体基板1上に多結晶シリコン膜を形成し、その多結晶シリコン膜にリン(P)などをイオン注入して低抵抗のn型半導体膜とし、その多結晶シリコン膜をドライエッチングによってパターニングすることにより、多結晶シリコン膜からなるゲート電極5を形成することができる。

【0022】

次に、p型ウエル3のゲート電極5の両側の領域にリンなどの不純物をイオン注入することにより、n⁻型半導体領域6が形成される。

【0023】

次に、ゲート電極5の側壁上に、例えば酸化シリコンなどからなる側壁スペーサまたはサイドウォール7が形成される。サイドウォール7は、例えば、半導体基板1上に酸化シリコン膜を堆積し、この酸化シリコン膜を異方性エッチングすることによって形成することができる。

【0024】

サイドウォール7の形成後、n⁺型半導体領域8(ソース、ドレイン)が、例えば、p型ウエル3のゲート電極5およびサイドウォール7の両側の領域にリンなどの不純物をイオン注入することにより形成される。n⁺型半導体領域8は、n⁻型半導体領域6よりも不純物濃度が高い。

【0025】

次に、ゲート電極5およびn⁺型半導体領域8の表面を露出させ、例えばコバルト(Co)膜を堆積して熱処理することによって、ゲート電極5とn⁺型半導体領域8との表面に、それぞれシリサイド膜5aおよびシリサイド膜8aを形成する。これにより、n⁺型半導体領域8の拡散抵抗と、コンタクト抵抗とを低抵抗化することができる。その後、未反応のコバルト膜は除去する。

【0026】

このようにして、p型ウエル3にnチャネル型のMISFET(Metal Insulator Semiconductor Field Effect Transistor)9が形成される。

【0027】

次に、半導体基板1上に窒化シリコンなどからなる絶縁膜10と、酸化シリコンなどからなる絶縁膜11を順次堆積する。それから、絶縁膜11および絶縁膜10を順次ドライエッティングすることにより、コンタクトホール12を形成する。コンタクトホール12の底部では、半導体基板1の主面の一部、例えばn⁺型半導体領域8（シリサイド膜8a）の一部、やゲート電極5（シリサイド膜5a）の一部などが露出される。

【0028】

次に、コンタクトホール12内に、タンゲステン（W）などからなるプラグ13が形成される。プラグ13は、例えば、コンタクトホール12の内部を含む絶縁膜11上にバリア膜として例えば窒化チタン膜13aを形成した後、タンゲステン膜をCVD（Chemical Vapor Deposition）法などによって窒化チタン膜13a上にコンタクトホール12を埋めるように形成し、絶縁膜11上の不要なタンゲステン膜および窒化チタン膜13aをCMP（Chemical Mechanical Polishing）法またはエッチバック法などによって除去することにより形成することができる。

【0029】

次に、図2に示されるように、プラグ13が埋め込まれた絶縁膜11上に絶縁膜（エッチングストップ膜）14を形成する。絶縁膜14は、例えば窒化シリコン膜または炭化シリコン（SiC）膜からなる。絶縁膜14は、その上層の絶縁膜（層間絶縁膜）15に配線形成用の溝や孔をエッティングにより形成する際に、その掘り過ぎにより下層に損傷を与えることなく、加工寸法精度が劣化したりすることを回避するために形成される。すなわち、絶縁膜14は絶縁膜（層間絶縁膜）15をエッティングする際にエッチングストップとして機能することができる。

【0030】

次に、絶縁膜14上に絶縁膜（層間絶縁膜）15が形成される。絶縁膜15は、例えば有機ポリマーまたは有機シリカガラスなどのような低誘電率材料（いわゆるLow-K絶縁膜、Low-K材料）からなることが好ましい。なお、低誘電率な絶縁膜（Low-K絶縁膜）とは、パッシベーション膜に含まれる酸化シリコン膜（たとえばTEOS（Tetraethoxysilane）酸化膜）の誘電率よりも低

い誘電率を有する絶縁膜を例示できる。一般的には、TEOS酸化膜の比誘電率 $\epsilon = 4.1 \sim 4.2$ 程度以下を低誘電率な絶縁膜と言う。

【0031】

上記低誘電率材料としての有機ポリマーには、例えばSiLK（米The Dow Chemical Co. 製、比誘電率=2.7、耐熱温度=490°C以上、絶縁破壊耐圧=4.0~5.0MV/Vm）またはポリアリルエーテル（PAE）系材料のF L A R E（米Honeywell Electronic Materials製、比誘電率=2.8、耐熱温度=400°C以上）がある。このPAE系材料は、基本性能が高く、機械的強度、熱的安定性および低コスト性に優れるという特徴を有している。上記低誘電率材料としての有機シリカガラス（SiOC系材料）には、例えばHSG-R7（日立化成工業製、比誘電率=2.8、耐熱温度=650°C）、Black Diamond（米Applied Materials, Inc. 製、比誘電率=3.0~2.4、耐熱温度=450°C）またはp-MTES（日立開発製、比誘電率=3.2）がある。この他のSiOC系材料には、例えばCORAL（米Novellus Systems, Inc. 製、比誘電率=2.7~2.4、耐熱温度=500°C）、Aurora 2.7（日本エス・エム社製、比誘電率=2.7、耐熱温度=450°C）がある。

【0032】

また、上記低誘電率材料として、例えばFSG（SiOF系材料）、HSQ（hydrogen silsesquioxane）系材料、MSQ（methyl silsesquioxane）系材料、ポーラスHSQ系材料、ポーラスMSQ材料またはポーラス有機系材料を用いることもできる。上記HSQ系材料には、例えばOCD T-12（東京応化工業製、比誘電率=3.4~2.9、耐熱温度=450°C）、FOX（米Dow Corning Corp. 製、比誘電率=2.9）またはOCL T-32（東京応化工業製、比誘電率=2.5、耐熱温度=450°C）などがある。上記MSQ系材料には、例えばOCD T-9（東京応化工業製、比誘電率=2.7、耐熱温度=600°C）、LKD-T200（JSR製、比誘電率=2.7~2.5、耐熱温度=450°C）、HOSP（米Honeywell Electronic Materials製、比誘電率=2.5、耐熱温度=550°C）、HSG-RZ25（日立化成工業製、比誘電率=2.5、耐熱温度=650°C）、OCL T-31（東京応化工業製、比誘電率=2.

3、耐熱温度 = 500°C) または LKD-T400 (JSR 製、比誘電率 = 2.2 ~ 2、耐熱温度 = 450°C) などがある。上記ポーラスHSQ系材料には、例えば X-LK (米Dow Corning Corp. 製、比誘電率 = 2.5 ~ 2) 、 OCL T-72 (東京応化工業製、比誘電率 = 2.2 ~ 1.9、耐熱温度 = 450°C) 、 N analog glass (米Honeywell Electronic Materials 製、比誘電率 = 2.2 ~ 1.8、耐熱温度 = 500°C 以上) または Mesol ELK (米Air Productsand Chemicals, Inc. 製、比誘電率 = 2 以下) がある。上記ポーラスMSQ系材料には、例えば HSG-6211X (日立化成工業製、比誘電率 = 2.4、耐熱温度 = 650°C) 、 ALCAP-S (旭化成工業製、比誘電率 = 2.3 ~ 1.8、耐熱温度 = 450°C) 、 OCL T-77 (東京応化工業製、比誘電率 = 2.2 ~ 1.9、耐熱温度 = 600°C) 、 HSG-6210X (日立化成工業製、比誘電率 = 2.1、耐熱温度 = 650°C) または silica aerogel (神戸製鋼所製、比誘電率 1.4 ~ 1.1) などがある。上記ポーラス有機系材料には、例えば Poly ELK (米Air Productsand Chemicals, Inc. 製、比誘電率 = 2 以下、耐熱温度 = 490°C) などがある。上記 SiOC 系材料、 SiOF 系材料は、例えば CVD 法によって形成されている。例えば上記 Black Diamond は、トリメチルシリランと酸素との混合ガスを用いた CVD 法などによって形成される。また、上記 p-MTES は、例えばメチルトリエトキシシリランと N₂O との混合ガスを用いた CVD 法などによって形成される。それ以外の上記低誘電率の絶縁材料は、例えば塗布法で形成されている。

【0033】

このような Low-K 材料からなる絶縁膜 15 上に、例えば CVD 法などを用いて絶縁膜 16 を形成する。絶縁膜 16 は、二酸化シリコン (SiO₂) に代表される酸化シリコン (SiO_x) 膜からなる。絶縁膜 16 の他の材料として、酸窒化シリコン (SiON) 膜を用いることもできる。また、絶縁膜 16 は、例えば CMP 处理時における絶縁膜 15 の機械的強度の確保、表面保護および耐湿性の確保等のような機能を有することができる。また、絶縁膜 15 が例えばフッ素 (F) を含む酸化シリコン (SiOF) 膜からなる場合は、絶縁膜 15 中のフッ素の拡散を防止するように機能することもできる。

【0034】

また、絶縁膜15が、例えば有機ポリマー系の材料（例えば上記S i L K）やポーラス有機系材料（例えば上記P o l y E L K）などのように酸素プラズマによりダメージを受ける材料からなる場合は、絶縁膜15上に酸素(O₂)プラズマなどの酸化性プラズマを用いることなく形成した図示しない薄い絶縁膜、例えば塗化シリコン(S i_xN_y)膜、炭化シリコン(S i C)膜または炭塗化シリコン(S i C N)膜を形成し、その上に絶縁膜16を形成することもできる。これにより、絶縁膜15と絶縁膜16の密着性を向上させることができる。また、塗化シリコン(S i_xN_y)膜、炭化シリコン(S i C)膜または炭塗化シリコン(S i C N)膜からなる絶縁膜を絶縁膜16として用いることも可能である。

【0035】

次に、図3に示されるように、フォトリソグラフィ法およびドライエッティング法を用いて、絶縁膜14、15、16を選択的に除去して開口部（配線開口部、配線溝）17を形成する。このとき、開口部17の底部では、プラグ13の上面が露出される。その後、エッティングマスクとして用いた図示しないフォトレジストパターン（および反射防止膜）をアッシングなどにより除去する。絶縁膜15が、例えば有機ポリマー系の材料（例えば上記S i L K）やポーラス有機系材料（例えば上記P o l y E L K）などのように酸素プラズマによりダメージを受ける材料からなる場合は、絶縁膜15をN H₃プラズマ処理またはN₂/H₂プラズマ処理などの還元性プラズマ処理によってエッティングしながら、フォトレジストパターン（および反射防止膜）をアッシングして除去することもできる。

【0036】

次に、図4に示されるように、半導体基板1の主面上の全面（すなわち開口部17の底部および側壁上を含む絶縁膜16上）に、例えば塗化チタン(T i N)などからなる厚さ50nm程度の比較的薄い導電性バリア膜18を形成する。導電性バリア膜18の成膜には、スパッタリング法やC V D法などを用いることができる。導電性バリア膜18は、例えば後述の主導体膜形成用の銅の拡散を抑制または防止する機能や主導体膜のリフロー時に銅の濡れ性を向上させる機能などを有している。このような導電性バリア膜18の材料としては、塗化チタンに代

えて、銅と殆ど反応しない窒化タンゲステン (WN) または窒化タンタル (Ta N) などのような高融点金属窒化物を用いることもできる。また、導電性バリア膜 18 の材料として、高融点金属窒化物にシリコン (Si) を添加した材料や、銅と反応し難いタンタル (Ta) 、チタン (Ti) 、タンゲステン (W) 、チタンタングステン (TiW) 合金などのような高融点金属を用いることもできる。また、導電性バリア膜 18 としては、上記材料膜の単体膜だけでなく積層膜を用いることもできる。

【0037】

次に、導電性バリア膜 18 上に、例えば厚さ 800 ~ 1600 nm 程度の相対的に厚い銅からなる主導体膜 19 を形成する。主導体膜 19 は、例えば CVD 法、スパッタリング法またはめっき法などを用いて形成することができる。また、主導体膜 19 は銅を主成分とする導体膜、例えば銅または銅合金 (Cu を主成分とし、例えば Mg, Ag, Pd, Ti, Ta, Al, Nb, Zr または Znなどを含む) により形成することができる。また、導電性バリア膜 18 上に、相対的に薄い銅 (または銅合金) などからなるシード膜をスパッタリング法などによって形成し、その後、シード膜上に相対的に厚い銅 (または銅合金) などからなる主導体膜 19 をめっき法などによって形成することもできる。その後、例えば 475 °C 程度の非酸化性雰囲気 (例えば水素雰囲気) 中において半導体基板 1 に対して熱処理を施すことにより主導体膜 19 をリフローさせ、銅を開口部 17 の内部に隙間なく埋め込む。

【0038】

次に、主導体膜 19 および導電性バリア膜 18 を例えば CMP 法によって、絶縁膜 16 の上面が露出するまで研磨する。絶縁膜 16 上の不要な導電性バリア膜 18 および主導体膜 19 を除去し、開口部 17 内に導電性バリア膜 18 および主導体膜 19 を残すことにより、図 4 に示されるように、相対的に薄い導電性バリア膜 18 と相対的に厚い主導体膜 19 とからなる配線 (第 1 層配線) 20 を開口部 17 内に形成する。形成された配線 20 は、プラグ 13 を介して n+ 型半導体領域 (ソース、ドレイン) 8 やゲート電極 5 と電気的に接続されている。あるいはエッチング (電解エッチングなど) により、不要な導電性バリア膜 18 および

主導体膜19を除去することもできる。

【0039】

次に、半導体基板1をプラズマCVD装置の処理室内に配置し、アンモニアガスを導入してプラズマ電源を印加することにより、半導体基板1（特に配線20が露出するCMP面）に対して、アンモニア（NH₃）プラズマ処理を施す。あるいは、N₂ガスおよびH₂ガスを導入して、N₂/H₂プラズマ処理を施す。このような還元性プラズマ処理により、CMPで酸化された銅配線表面の酸化銅（CuO、Cu₂O、CuO₂）を銅（Cu）に還元し、更に、窒化銅（CuN）層が配線20の表面（ごく薄い領域）に形成される。

【0040】

それから、必要に応じて洗浄を行った後、図5に示されるように、半導体基板1の正面の全面上に絶縁膜（バリア絶縁膜）21をプラズマCVD法などによって形成する。すなわち、配線20の上面を含む絶縁膜16上に、絶縁膜21を形成する。絶縁膜21は、銅配線のバリア絶縁膜として機能する。従って、絶縁膜21は、配線20の主導体膜19中の銅が、後で形成される絶縁膜22中に拡散するのを抑制または防止する。絶縁膜21は、例えば窒化シリコンからなる。絶縁膜21の他の材料として、例えば炭化シリコン（SiC）膜、炭窒化シリコン（SiCN）膜、酸窒化シリコン（SiON）膜または酸炭化シリコン（SiOC）膜を用いても良い。

【0041】

次に、絶縁膜21上に、絶縁膜22、23、24、25、26を順に形成する。絶縁膜（層間絶縁膜）22は、上記絶縁膜15と同様の材料（低誘電率材料）により形成することができ、絶縁膜23は、上記絶縁膜16と同様の材料により形成することができる。絶縁膜23は不要であればその形成を省略することができる。絶縁膜（エッティングストッパ膜）24は、上記絶縁膜14または絶縁膜21と同様の材料により形成することができる。絶縁膜（層間絶縁膜）25は、上記絶縁膜15と同様の材料（低誘電率材料）により形成することができ、絶縁膜26は、上記絶縁膜16と同様の材料により形成することができる。

【0042】

次に、図6に示されるように、フォトリソグラフィ法およびドライエッティング法などを用いて絶縁膜21～26をドライエッティングすることなどによって、配線開口部すなわち、配線20に達する開口部（ビア）27および開口部（配線溝）28を形成する。開口部28は、絶縁膜24～26を選択的に除去することにより形成されている。開口部27は、開口部28の底部において絶縁膜21～23を選択的に除去することにより形成されている。開口部27の底部では、配線20の上面が露出される。

【0043】

次に、開口部27の底部で露出する配線20（下層銅配線）の表面に形成された酸化銅を除去して配線20の露出した上面を清浄化（クリーニング）する処理を行う。これは、例えば水素（H₂）プラズマ処理のような還元性プラズマ処理により、銅配線表面の酸化銅（CuO、Cu₂O、CuO₂）を銅（Cu）に還元することにより行うことができる。

【0044】

次に、図7に示されるように、開口部27および開口部28の底部および側面を含む絶縁膜26上に、導電性バリア膜18と同様の材料からなる導電性バリア膜29を同様の手法を用いて形成する。それから、導電性バリア膜29上に、開口部27および開口部28内を埋めるように、主導体膜19と同様の材料からなる主導体膜30を同様の手法を用いて形成する。そして、主導体膜30および導電性バリア膜29を例えばCMP法によって、絶縁膜26の上面が露出するまで研磨する。絶縁膜26上の不要な導電性バリア膜29および主導体膜30を除去し、開口部27、28内に導電性バリア膜29および主導体膜30を残すことにより、図7に示されるように、相対的に薄い導電性バリア膜29と相対的に厚い主導体膜30とからなる配線（第2層配線）31を開口部27および開口部28内に形成する。開口部28に埋め込まれた導電性バリア膜29と主導体膜30とからなる配線部は、開口部27に埋め込まれた導電性バリア膜29と主導体膜30とからなるビア部を介して下層配線である配線20と電気的に接続されている。

【0045】

図8～図19は、図7に続く半導体装置の製造工程中における要部断面図または要部平面図を示している。図14, 17, 19は、それぞれ図13, 16, 18の半導体装置の要部平面図であり、図13, 16, 18が、それぞれ図14, 17, 19のA-A線の断面に対応する。図8～図19のうち、図14, 17, 19以外は断面図であり、理解を簡単にするために、図7の絶縁膜23より下の構造に対応する部分は図示を省略している。

【0046】

上記のようにして図7の構造が得られた後、図8に示されるように、半導体基板1の正面の全面上に、すなわち、配線31の上面を含む絶縁膜26上に、絶縁膜32, 33, 34, 35, 36, 37が、絶縁膜21～26と同様の材料により同様の手法で順に形成される。その後、図9に示されるように、開口部(ビア)38および開口部(配線溝)39が、開口部27および開口部28と同様の手法で形成される。開口部39は、絶縁膜35～37を選択的に除去することにより形成され、開口部38は、開口部39の底部において絶縁膜32～34を選択的に除去することにより形成されている。開口部38の底部では、配線31の上面が露出される。

【0047】

それから、開口部38および開口部39の底部および側面を含む絶縁膜37上に、導電性バリア膜18と同様の材料からなる導電性バリア膜40を同様の手法を用いて形成し、導電性バリア膜40上に、開口部38および開口部39内を埋めるように、主導体膜19と同様の材料からなる主導体膜41を同様の手法を用いて形成する。そして、配線31の場合と同様に、主導体膜41および導電性バリア膜40を例えばCMP法によって、絶縁膜37の上面が露出するまで研磨する。絶縁膜37上の不要な導電性バリア膜40および主導体膜41を除去し、開口部38, 39内に導電性バリア膜40および主導体膜41を残すことにより、図10に示されるように、相対的に薄い導電性バリア膜40と相対的に厚い主導体膜41とからなる配線(第3層配線)42を開口部38および開口部39内に形成する。開口部39に埋め込まれた導電性バリア膜40および主導体膜41からなる配線部は、開口部38に埋め込まれた導電性バリア膜40および主導体膜

41からなるビア部を介して下層配線である配線31と電気的に接続される。このとき、絶縁膜35～37に形成されている開口部39のうち、キャパシタ形成予定領域に形成された開口部39aに埋め込まれた導電性バリア膜40および主導体膜41は、キャパシタの下部電極43を構成する。

【0048】

次に、図11に示されるように、配線42および下部電極43の上面を覆うように、絶縁膜37上に絶縁膜（バリア絶縁膜）44を形成する。絶縁膜44は、絶縁膜21と同様の材料、例えば窒化シリコン（ Si_xN_y ）膜、炭化シリコン（ SiC ）膜、炭窒化シリコン（ SiCN ）膜、酸窒化シリコン（ SiON ）膜または酸炭化シリコン（ SiOC ）膜からなり、配線42の主導体膜41中の銅が後で形成される絶縁膜45中に拡散するのを抑制または防止するよう機能することができる。また、絶縁膜44は、形成されるキャパシタの容量絶縁膜としても機能する。なお、絶縁膜44として用いられる上記酸炭化シリコン（ SiOC ）膜は、炭化シリコン（ SiC ）に酸素（O）が添加された膜である。また、上記絶縁膜44として使用できる酸窒化シリコン膜としては、例えばP E-T M S（Canon製、誘電率=3.9）を例示できる。

【0049】

次に、絶縁膜44上に絶縁膜45を形成する。絶縁膜45は、絶縁膜15と同様の材料、すなわち低誘電率材料（いわゆるL o w-K絶縁膜、L o w-K材料）からなることが好ましい。それから、絶縁膜45上に絶縁膜46を形成する。絶縁膜46は、絶縁膜16と同様の材料により形成することができ、例えば酸化シリコン膜または酸窒化シリコン（ SiON ）膜からなる。絶縁膜46は、例えばC M P処理時における絶縁膜45の機械的強度の確保、表面保護および耐湿性の確保等のような機能を有することができる。

【0050】

また、絶縁膜46が酸素プラズマなどの酸化性プラズマを使用して成膜され、絶縁膜45が例えば有機ポリマー系の材料（例えば上記S i L K）やポーラス有機系材料（例えば上記P o l y E L K）などのように酸素プラズマによりダメージを受ける材料からなる場合は、絶縁膜45上に酸素プラズマなどの酸化性プラ

ズマを用いることなく形成した図示しない薄い絶縁膜、例えば窒化シリコン (Si_xN_y) 膜、炭化シリコン (SiC) 膜または炭窒化シリコン (SiCN) 膜を形成し、その上に絶縁膜46を形成することもできる。これにより、絶縁膜45と絶縁膜46の密着性を向上させることができる。また、窒化シリコン (Si_xN_y) 膜、炭化シリコン (SiC) 膜または炭窒化シリコン (SiCN) 膜からなる絶縁膜を絶縁膜46として用いることも可能である。

【0051】

また、配線などの寄生容量を低減するためには、上記のように絶縁膜45を低誘電率材料により形成することが好ましいが、寄生容量がそれほど問題とならない場合などには絶縁膜45としてCVD法などを用いて形成した酸化シリコン膜などを用いることも可能である。このような場合、絶縁膜46の形成を省略することもできる。

【0052】

次に、図12に示されるように、フォトリソグラフィ法およびドライエッチング法を用いて、絶縁膜46および絶縁膜45を選択的に除去して、キャパシタの上部電極を形成すべき領域（下部電極43の上方領域）に開口部47を形成する。開口部47の形成後、エッチングマスクとして用いた図示しないフォトレジストパターン（および反射防止膜）をアッシングなどにより除去する。また、絶縁膜45が、例えば有機ポリマー系の材料（例えば上記SLK）やポーラス有機系材料（例えば上記PolyELK）などのように酸素プラズマによりダメージを受ける材料からなる場合は、絶縁膜45をNH₃プラズマ処理またはN₂/H₂プラズマ処理などの還元性プラズマ処理によってエッチングしながら、フォトレジストパターン（および反射防止膜）をアッシングして除去することもできる。還元性プラズマ処理の代わりに低圧低温O₂アッシングを行ってもよい。

【0053】

開口部47形成のためのドライエッチング工程では、開口部47の底部において、絶縁膜44を残存させる。開口部47の底部に残存する絶縁膜44は、キャパシタの容量絶縁膜（誘電体膜）として機能することができる。従って、本実施の形態では、絶縁膜44を銅配線のバリア絶縁膜（銅の拡散防止膜）およびキャ

パシタの容量絶縁膜（誘電体膜）として用いることができる。上記のように、絶縁膜44の材料としては、例えば窒化シリコン（ Si_xN_y ）膜、炭化シリコン（ SiC ）膜、炭窒化シリコン（ SiCN ）膜、酸窒化シリコン（ SiON ）膜または酸炭化シリコン（ SiOC ）膜を用いることができるが、キャパシタのリーク電流をより低減するためには炭窒化シリコン（ SiCN ）膜または酸窒化シリコン（ SiON ）膜を用いることが好ましく、酸窒化シリコン（ SiON ）膜を用いればより好ましい。これにより、絶縁膜44に銅配線のバリア絶縁膜の機能を持たせるとともに、リーク電流が極めて小さなキャパシタを形成することが可能となる。

【0054】

次に、半導体基板1の主面上の全面に（すなわち、開口部47の底面および側壁上を含む絶縁膜46上に）、導電性バリア膜18と同様の材料（例えば窒化チタンなど）からなる相対的に薄い導電性バリア膜48を同様の手法（例えばスパッタリング法など）を用いて形成する。それから、導電性バリア膜48上に主導体膜19と同様の材料（例えば銅または銅合金）からなる主導体膜49を同様の手法（例えばCVD法、スパッタリング法またはめっき法）を用いて形成する。そして、配線20の場合と同様に、主導体膜49および導電性バリア膜48を例えばCMP法によって絶縁膜46の上面が露出するまで研磨する。絶縁膜46上の不要な導電性バリア膜48および主導体膜49を除去し、開口部47内に導電性バリア膜48および主導体膜49を残すことにより、図13および図14に示されるように、相対的に薄い導電性バリア膜48と相対的に厚い主導体膜49とからなるキャパシタの上部電極50を開口部47内に形成する。従って、上部電極50は、ビア形成層である絶縁膜（層間絶縁膜）45（および絶縁膜46）にダマシン（シングルダマシン）技術の手法を用いて形成することができる。下部電極43、絶縁膜44および上部電極50により、キャパシタ（MIM（Metal Insulator Metal）キャパシタ）が形成される。

【0055】

次に、還元性プラズマ処理により、CMPで酸化された上部電極50表面の酸化銅（ CuO 、 Cu_2O 、 CuO_2 ）を銅（ Cu ）に還元し、更に、窒化銅（ Cu

N) 層が上部電極50の表面（ごく薄い領域）に形成される。

【0056】

それから、必要に応じて洗浄を行った後、図15に示されるように、半導体基板1の正面の全面上（すなわち上部電極50の上面を含む絶縁膜46上）に絶縁膜51を形成する。絶縁膜51は、例えば酸窒化シリコン（SiON）膜からなる。絶縁膜51の他の材料として、窒化シリコン（Si_xN_y）膜、炭化シリコン（SiC）膜、酸炭化シリコン（SiOC）膜または炭窒化シリコン（SiCN）膜を用いてもよい。絶縁膜51は下部電極50中の銅が拡散するのを抑制または防止するバリア絶縁膜として機能することができる。また、後述する配線開口部の形成時にエッチングストップ膜として機能することもできる。なお、絶縁膜51として用いられる上記酸炭化シリコン（SiOC）膜は、炭化シリコン（SiC）に酸素（O）が添加された膜である。

【0057】

次に、絶縁膜51上に絶縁膜52および絶縁膜53を順に形成する。絶縁膜52は、絶縁膜45（絶縁膜15）と同様の材料、すなわち低誘電率材料（いわゆるLow-K絶縁膜、Low-K材料）からなることが好ましい。また、絶縁膜53は、絶縁膜46（絶縁膜16）と同様の材料により形成することができ、例えば酸化シリコン膜または酸窒化シリコン（SiON）膜からなる。絶縁膜53は、例えばCMP処理時における絶縁膜52の機械的強度の確保、表面保護および耐湿性の確保等のような機能を有することができる。

【0058】

また、絶縁膜53が酸素プラズマなどの酸化性プラズマを使用して成膜され、絶縁膜52が例えば有機ポリマー系の材料（例えば上記SiLK）やポーラス有機系材料（例えば上記PolyELK）などのように酸素プラズマによりダメージを受ける材料からなる場合は、絶縁膜52上に酸素プラズマなどの酸化性プラズマを用いることなく形成した図示しない薄い絶縁膜、例えば窒化シリコン（Si_xN_y）膜、炭化シリコン（SiC）膜または炭窒化シリコン（SiCN）膜を形成し、その上に絶縁膜53を形成することもできる。これにより、絶縁膜52と絶縁膜53の密着性を向上させることができる。また、窒化シリコン（Si_x

N_y ）膜、炭化シリコン（SiC）膜または炭窒化シリコン（SiCN）膜からなる絶縁膜を絶縁膜53として用いることも可能である。

【0059】

また、配線などの寄生容量を低減するためには、上記のように絶縁膜52を低誘電率材料により形成することが好ましいが、寄生容量がそれほど問題とならない場合などには絶縁膜52としてCVD法などを用いて形成した酸化シリコン膜などを用いることも可能である。このような場合、絶縁膜53の形成を省略することもできる。

【0060】

次に、開口部27および開口部28の形成工程と同様に、図16および図17に示されるように、フォトリソグラフィ法およびドライエッチング法などを用いて、開口部（ピア）54および開口部（配線溝）55を形成する。開口部55は、開口部28と同様にして、絶縁膜51～53を選択的に除去することにより形成されている。開口部54は、開口部27と同様にして、開口部55の底部において絶縁膜44～46を選択的に除去することにより形成されている。

【0061】

また、配線開口部（開口部54, 55）の形成法の他の形態として、絶縁膜51の形成後にフォトリソグラフィ法およびドライエッチング法を用いて絶縁膜46, 51に開口部54を形成してから絶縁膜52, 53を形成し（この場合、図15の段階で絶縁膜46, 51に開口部54が形成されている状態となる）、その後、フォトリソグラフィ法およびドライエッチング法などを用いて、絶縁膜52, 53に開口部55を形成し、開口部55の底部において絶縁膜46, 51の開口部54から露出した絶縁膜45を除去（ドライエッチング）し、開口部54の底部の絶縁膜44と開口部55の底部の絶縁膜51を除去（ドライエッチング）することにより、図16の構造を得ることもできる。

【0062】

次に、半導体基板1の主面上の全面に（すなわち、開口部54, 55の底面および側壁上を含む絶縁膜53上に）、導電性バリア膜18と同様の材料（例えば窒化チタン）からなる相対的に薄い導電性バリア膜56を同様の手法（スパッタ

リング法など) を用いて形成する。それから、導電性バリア膜 5 6 上に主導体膜 1 9 と同様の材料(例えば銅または銅合金) からなる主導体膜 5 7 を同様の手法(例えばCVD法、スパッタリング法またはめっき法) を用いて形成する。そして、配線 2 0 の場合と同様に、主導体膜 5 7 および導電性バリア膜 5 6 を例えばCMP法によって絶縁膜 5 3 の上面が露出するまで研磨する。絶縁膜 5 3 上の不要な導電性バリア膜 5 6 および主導体膜 5 7 を除去し、開口部 5 4, 5 5 内に導電性バリア膜 5 6 および主導体膜 5 7 を残すことにより、図18および図19に示されるように、相対的に薄い導電性バリア膜 5 6 と相対的に厚い主導体膜 5 7 とからなる配線(第4層配線) 5 8 を開口部 5 4 および開口部 5 5 内に形成することができる。開口部 5 5 に埋め込まれた導電性バリア膜 5 6 および主導体膜 5 7 からなる配線部は、開口部 5 4 に埋め込まれた導電性バリア膜 5 6 および主導体膜 5 7 からなるビア部を介して下層配線である配線 4 2 と電気的に接続される。

【0063】

また、絶縁膜 5 1 ~ 5 3 に形成されている開口部 5 5 のうち、上部電極 5 0 の少なくとも一部を含む領域に形成された開口部 5 5 a に埋め込まれた導電性バリア膜 5 6 および主導体膜 5 7 は、キャパシタの上部電極 5 0 を引き出すための導体部(キャパシタ上部電極引き出し用導体部) 5 9 を構成する。開口部 5 5 a は、その底部で上部電極 5 0 の上面の少なくとも一部を露出するように形成されているので、導体部 5 9 は開口部 5 5 a の底部において上部電極 5 0 と電気的に接続されている。導体部 5 9 のパターンは、上部電極 5 0 と導体部 5 9 とが電気的に接続すれば、すなわち導体部 5 9 (開口部 5 5 a) のパターンと上部電極 5 0 (開口部 4 7) のパターンとが少なくとも一部で重なっていれば(オーバーラップしていれば)、任意のパターンとすることができる。従って、例えば、図18および図19のように上部電極 5 0 の一部だけを覆うように導体部 5 9 のパターンを形成することができ、また、図示しないが上部電極 5 0 の全面を覆うように導体部 5 9 のパターンを形成することもできる。

【0064】

更に、配線 5 8 および導体部 5 9 が埋め込まれた絶縁膜 5 3 上に、絶縁膜 2 1

と同様の材料からなる絶縁膜（バリア絶縁膜）が形成され、必要に応じて更に上層配線が形成されるが、ここではその図示と説明は省略する。

【0065】

本実施の形態では、キャパシタの下部電極43を埋込銅配線（配線42）と同じ工程でダマシン技術を用いて形成する。そして、その上層の埋込銅配線（配線58）を形成する前に、ビアを形成する層の絶縁膜（層間絶縁膜）にダマシン（シングルダマシン）技術を用いてキャパシタの上部電極50を形成する。この際、埋込銅配線（配線42）のバリア絶縁膜（絶縁膜44）をキャパシタの容量絶縁膜（誘電体膜）として利用する。その後、配線形成層の絶縁膜（層間絶縁膜）を形成し、ダマシン（デュアルダマシン）技術を用いて上層の埋込銅配線（配線58）を形成する。この際、キャパシタの上部電極50の引き出し用の導体部59も同じ工程で形成することができる。

【0066】

配線58（上層の埋込銅配線）と同じ工程でキャパシタの上部電極50を形成した場合、同じエッチング工程で配線58（上層の埋込銅配線）のビア（開口部54）の底部では絶縁膜44を除去しかつキャパシタの上部電極50形成用の開口部（開口部47）の底部で絶縁膜44を残さなければならない。これを行うことは極めて困難である。すなわち、これを行うためには、上部電極50形成領域が覆われ、それ以外の配線58形成領域（特にビア形成領域）は露出されるようなフォトトレジストマスクパターンを半導体基板1上に形成する必要がある。のようなフォトトレジストパターンを形成するには、半導体基板1の全面に反射防止膜およびフォトトレジスト膜を形成した後、フォトリソグラフィ法を用いてフォトトレジスト膜をパターン化する。そして、配線形成用の開口部のビア（開口部54）底部の絶縁膜44を除去する前に、そのビア（開口部54）に埋め込まれた反射防止膜を除去しなければならないが、ビア（開口部54）の径（直径）は比較的小ないので、このビア（開口部54）に埋め込まれた反射防止膜を除去するのは容易ではない。ビア（開口部54）に埋め込まれた反射防止膜を（無理に）除去しようとすると、ビア（開口部54）の側壁などもエッチングされてしまい、形成される配線や半導体装置の信頼性を低下させる恐れがある。

【0067】

本実施の形態では、キャパシタの下部電極43は配線42と同じ工程で形成するが、上部電極50を先に形成した後に、配線58を形成する。このため、キャパシタの上部電極50形成用の開口部47を形成する工程では、絶縁膜44をエッチングストップ膜として機能させて、開口部47の底部で絶縁膜44を容易に残存させることができる。また、その後、配線形成用の開口部のビア（開口部54）底部の絶縁膜44を除去する際には、開口部底部で露出する絶縁膜44を全て除去することができるので、除去が困難な（ビア（開口部54）を埋めるような）反射防止膜やフォトレジスト膜を形成することが不要であり、容易にビア（開口部54）底部で下層配線（配線42）を露出させることができる。このため、設計通りのビアを形成することができ、形成される配線や半導体装置の信頼性を向上することができる。

【0068】

また、キャパシタの上部電極50を形成するための開口部47の底部において、絶縁膜44を残存させてキャパシタの容量絶縁膜（誘電体膜）として用いるので、半導体装置の製造工程数を低減でき、半導体装置の製造コストも低減できる。

【0069】

また、埋込配線構造において、キャパシタ（MIMキャパシタ）を形成することができるので、キャパシタの追加などの設計変更が容易である。例えば、半導体基板1に形成するMISFETなどの半導体素子は同じにして本実施の形態のようにして埋込配線を形成する層間絶縁膜にキャパシタを形成する。ダマシン技術を用いてキャパシタを形成できるので、露光マスクのパターンを変更することなどにより対応でき、設計の変更が容易に行え、半導体装置の製造コストの増加も抑制できる。

【0070】

また、本実施の形態のキャパシタは、多層配線構造のいずれの配線層においても形成することができるが、例えば、同層配線の配線間の間隔が比較的広くなる上層配線においてキャパシタを形成すれば（例えば本実施の形態のように比較的

上層である第3配線層（配線42）と同層にキャパシタの下部電極43を形成すれば）、配線を形成しない空いた領域にキャパシタを容易に形成することができる。このため、半導体装置の小型化が容易である。

【0071】

また、本実施の形態では、素子分離領域2の上方（上部）にキャパシタ（MIMキャパシタ）を設けている。これにより、信号のクロストークノイズなどをより低減することが可能となる。また、例えば寄生容量の影響をそれほど考慮しなくともよい場合などは、キャパシタ（MIMキャパシタ）の下方に半導体素子（例えばMISFET）などを設けることもでき、半導体装置をより小型化することが可能となる。

【0072】

（実施の形態2）

図20～図25は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。図11までの製造工程は上記実施の形態1と同様であるので、ここではその説明は省略し、図11に続く製造工程について説明する。なお、図20～図25においても、図7の絶縁膜23より下の構造に対応する部分は図示を省略している。

【0073】

図11に示される構造が得られた後、図20に示されるように、フォトリソグラフィ法およびドライエッチング法などを用いて、絶縁膜46、絶縁膜45および絶縁膜44を選択的に除去して、キャパシタの上部電極を形成すべき領域（下部電極43の上方領域）に開口部71を形成する。開口部71は上記実施の形態1の開口部47に対応するが、本実施の形態では開口部71の底部において絶縁膜44を除去している。このため、開口部71の底部では下部電極43の上面が露出される。また、絶縁膜45が、例えば有機ポリマー系の材料（例えば上記SILK）やポーラス有機系材料（例えば上記PolyELK）などのように酸素プラズマによりダメージを受ける材料からなる場合は、絶縁膜45をNH₃プラズマ処理またはN₂/H₂プラズマ処理などの還元性プラズマ処理によってエッチングしながら、フォトレジストパターンをアッシングし、その後、絶縁膜46を

ハードマスクとして用いて絶縁膜44をドライエッチングにより除去することもできる。この場合、絶縁膜46上に絶縁膜44と同様の材料からなる絶縁膜を形成しておき、絶縁膜46のエッチングによる削れを防止することもできる。

【0074】

次に、図21に示されるように、半導体基板1の全面上、すなわち開口部71の底部および側壁上を含む絶縁膜46上に絶縁膜72を形成する。絶縁膜72は、例えば窒化シリコン(Si_xN_y)膜からなる。絶縁膜72の他の材料として、例えば炭化シリコン(SiC)膜、炭窒化シリコン(SiCN)膜、酸炭化シリコン(SiOC)膜または酸窒化シリコン(SiON)膜を用いることができる。絶縁膜72(開口部71の底部の絶縁膜72)は後で形成されるキャパシタの容量絶縁膜(誘電体膜)として機能することができる。なお、絶縁膜72として用いられる上記酸炭化シリコン(SiOC)膜は、炭化シリコン(SiC)に酸素(O)が添加された膜である。また、絶縁膜72の材料として炭窒化シリコン(SiCN)膜または酸窒化シリコン(SiON)膜を用いればより好ましく、キャパシタのリーク電流をより低減させることができる。

【0075】

次に、半導体基板1の主面上の全面に(すなわち絶縁膜72上に)、導電性バリア膜48を形成する。それから、導電性バリア膜48上に主導体膜49を形成する。そして、主導体膜49および導電性バリア膜48をCMP法によって絶縁膜72の上面が露出するまで研磨するなどして、図22に示されるように、導電性バリア膜48と主導体膜49とからなるキャパシタの上部電極50を開口部47内に形成する。このCMP工程において、絶縁膜46上面の絶縁膜72を除去して、絶縁膜46を露出させることもできる。下部電極43、絶縁膜72および上部電極50により、キャパシタ(MIMキャパシタ)が形成される。

【0076】

それから、還元性プラズマ処理や洗浄処理などを必要に応じて行った後、図23に示されるように、半導体基板1の主面の全面上(すなわち上部電極50の上面を含む絶縁膜72上)に絶縁膜51を形成する。

【0077】

それ以降の工程は上記実施の形態1とほぼ同様である。すなわち、絶縁膜51上に絶縁膜52および絶縁膜53を形成する。それから、図24に示されるように、フォトリソグラフィ法およびドライエッティング法などを用いて、開口部(ビア)54および開口部(配線溝)55を形成する。開口部55は、絶縁膜51～53を選択的に除去することにより形成されており、開口部54は、開口部55の底部において絶縁膜44～46, 72を選択的に除去することにより形成されている。そして、図25に示されるように、導電性バリア膜56および主導体膜57を開口部54, 55を埋めるように形成して、CMP法で研磨することにより、配線58とキャパシタの上部電極50を引き出すための導体部59を形成する。

【0078】

本実施の形態では、キャパシタの上部電極50を形成するための開口部71の底部において、絶縁膜44を除去し、キャパシタの容量絶縁膜(誘電体膜)として絶縁膜72を形成する。このため、キャパシタの容量絶縁膜(誘電体膜)として全くダメージを受けていない清浄な絶縁膜72を用いることができ、形成されるキャパシタの信頼性や性能を極めて高くすることができる。

【0079】

(実施の形態3)

図26～図34は、本発明の他の実施の形態である半導体装置の製造工程中の要部断面図または要部平面図である。図11までの製造工程は上記実施の形態1と同様であるので、ここではその説明は省略し、図11に続く製造工程について説明する。なお、図27, 29, 32, 34は、それぞれ図26, 28, 31, 33の半導体装置の要部平面図であり、図26, 28, 31, 33が、それぞれ図27, 29, 32, 34のA-A線の断面に対応する。図26～図34のうち、図27, 29, 32, 34以外は断面図であり、理解を簡単にするために、図7の絶縁膜23より下の構造に対応する部分は図示を省略している。

【0080】

図11に示される構造が得られた後、図26および図27に示されるように、フォトリソグラフィ法およびドライエッティング法などを用いて、絶縁膜46およ

び絶縁膜45を選択的に除去して、キャパシタの上部電極を形成すべき領域（下部電極43の上方領域）に開口部81を形成する。開口部81は上記実施の形態1の開口部47に対応するが、本実施の形態では下部電極43の上方において、複数の開口部81が形成される。図27においては、3つの開口部81が形成されているが、開口部81の数はこれに限定されるものではなく、2つ以上の任意の数の開口部81を形成することができる。各開口部81の底部においては、絶縁膜44が残存し、後で形成されるキャパシタの容量絶縁膜（誘電体膜）として機能することができる。

【0081】

次に、半導体基板1の主面上の全面に（すなわち、各開口部81の底部および側壁を含む絶縁膜46上に）、導電性バリア膜48を形成する。それから、導電性バリア膜48上に主導体膜49を各開口部81を埋めるように形成する。そして、主導体膜49および導電性バリア膜48をCMP法によって絶縁膜46の上面が露出するまで研磨するなどして、図28および図29に示されるように、導電性バリア膜48と主導体膜49とからなるキャパシタの上部電極82を各開口部81内に形成する。下部電極43、絶縁膜44および上部電極82により、キャパシタ（MIMキャパシタ）が形成される。この段階では各上部電極82は電気的に接続されていないが、後述する上部電極を引き出すための導体部により互いに電気的に接続される。

【0082】

それから、還元性プラズマ処理や洗浄処理などを必要に応じて行った後、図30に示されるように、半導体基板1の主面の全面上（すなわち上部電極50の上面を含む絶縁膜46上）に絶縁膜51、52、53を順に形成する。そして、上記実施の形態1と同様に、図31および図32に示されるように、フォトリソグラフィ法およびドライエッチング法などを用いて、開口部（ビア）54および開口部（配線溝）55を形成する。その後、上記実施の形態1と同様に、図33および図34に示されるように、導電性バリア膜56および主導体膜57を開口部54、55を埋めるように形成して、CMP法で研磨することにより、開口部54および開口部55内に配線58を形成する。また、絶縁膜51～53に形成

されている開口部55のうち、各上部電極82の少なくとも一部を含む領域に形成された開口部83（上記実施の形態1の開口部55aに対応）に埋め込まれた導電性バリア膜56および主導体膜57は、キャパシタの上部電極82を引き出すための導体部（キャパシタ上部電極引き出し用導体部）84を構成する。開口部83は、その底部で各上部電極82を露出するように形成されている。このため、導体部84は開口部83の底部において各上部電極82と電気的に接続される。従って、導体部84は各上部電極82を電気的に接続する機能も有する。これにより、下部電極43、キャパシタ絶縁膜としての絶縁膜44、および各上部電極82によって形成されたキャパシタ（MIMキャパシタ）が導体部84によって並列に接続されて、全体のキャパシタ（MIMキャパシタ）が構成される。

【0083】

本実施の形態では、上部電極82を形成するための開口部81を比較的小さな複数の開口部として、キャパシタの上部電極を形成する。このため、各開口部81の大きさをそれ程大きくしなくとも、開口部81の数を増やすことで、比較的大きな容量のキャパシタを形成することができる。このため、各開口部81に導電性バリア膜57および主導体膜58を埋め込んだ後のCMP工程において、各開口部81でのディッシング（Dishing）やエロージョン（Erosion）の発生を防止することができる。このため、比較的大きな容量のキャパシタを形成することがより容易になる。また、容量が異なるキャパシタを同層に形成する場合は、例えば同じ大きさの開口部81の数を調整することにより、ディッシングなどの不具合を生じることなく、種々の容量値のキャパシタを形成することが可能となる。

【0084】

また、上記実施の形態2のように、各開口部81の底部で絶縁膜44を除去し、各開口部81の底部および側壁を含む絶縁膜46上にキャパシタ絶縁膜として絶縁膜72を形成することもできる。

【0085】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱し

ない範囲で種々変更可能であることは言うまでもない。

【0086】

前記実施の形態では、MIMキャパシタとMISFETを有する半導体装置について説明したが、本発明は、これに限定されるものではなく、銅を主成分とする主導体膜を含む配線を有する種々の半導体装置に適用することができる。

【0087】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0088】

下層の埋込配線とキャパシタの下部電極とをダマシン法で形成した後、キャパシタの上部電極をダマシン法で形成し、その後上層の埋込配線をダマシン法で形成することにより、信頼性の高い埋込配線とキャパシタを有する半導体装置を製造することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図2】

図1に続く半導体装置の製造工程中における要部断面図である。

【図3】

図2に続く半導体装置の製造工程中における要部断面図である。

【図4】

図3に続く半導体装置の製造工程中における要部断面図である。

【図5】

図4に続く半導体装置の製造工程中における要部断面図である。

【図6】

図5に続く半導体装置の製造工程中における要部断面図である。

【図7】

図6に続く半導体装置の製造工程中における要部断面図である。

【図 8】

図 7 に続く半導体装置の製造工程中における要部断面図である。

【図 9】

図 8 に続く半導体装置の製造工程中における要部断面図である。

【図 10】

図 9 に続く半導体装置の製造工程中における要部断面図である。

【図 11】

図 10 に続く半導体装置の製造工程中における要部断面図である。

【図 12】

図 11 に続く半導体装置の製造工程中における要部断面図である。

【図 13】

図 12 に続く半導体装置の製造工程中における要部断面図である。

【図 14】

図 13 の半導体装置の要部平面図である。

【図 15】

図 13 に続く半導体装置の製造工程中における要部断面図である。

【図 16】

図 15 に続く半導体装置の製造工程中における要部断面図である。

【図 17】

図 16 の半導体装置の要部平面図である。

【図 18】

図 16 に続く半導体装置の製造工程中における要部断面図である。

【図 19】

図 18 の半導体装置の要部平面図である。

【図 20】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 21】

図 20 に続く半導体装置の製造工程中における要部断面図である。

【図 22】

図21に続く半導体装置の製造工程中における要部断面図である。

【図23】

図22に続く半導体装置の製造工程中における要部断面図である。

【図24】

図23に続く半導体装置の製造工程中における要部断面図である。

【図25】

図24に続く半導体装置の製造工程中における要部断面図である。

【図26】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図27】

図26の半導体装置の要部平面図である。

【図28】

図26に続く半導体装置の製造工程中における要部断面図である。

【図29】

図28の半導体装置の要部平面図である。

【図30】

図28に続く半導体装置の製造工程中における要部断面図である。

【図31】

図30に続く半導体装置の製造工程中における要部断面図である。

【図32】

図31の半導体装置の要部平面図である。

【図33】

図31に続く半導体装置の製造工程中における要部断面図である。

【図34】

図33の半導体装置の要部平面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p型ウエル

4 ゲート絶縁膜

5 ゲート電極

5 a シリサイド膜

6 n-型半導体領域

7 サイドウォール

8 n+型半導体領域

8 a シリサイド膜

9 nチャネル型MISFET

10 絶縁膜

11 絶縁膜

12 コンタクトホール

13 プラグ

13 a 硅化チタン膜

14～16 絶縁膜

17 開口部

18 導電性バリア膜

19 主導体膜

20 配線

21～26 絶縁膜

27 開口部

28 開口部

29 導電性バリア膜

30 主導体膜

31 配線

32～37 絶縁膜

38 開口部

39 開口部

40 導電性バリア膜

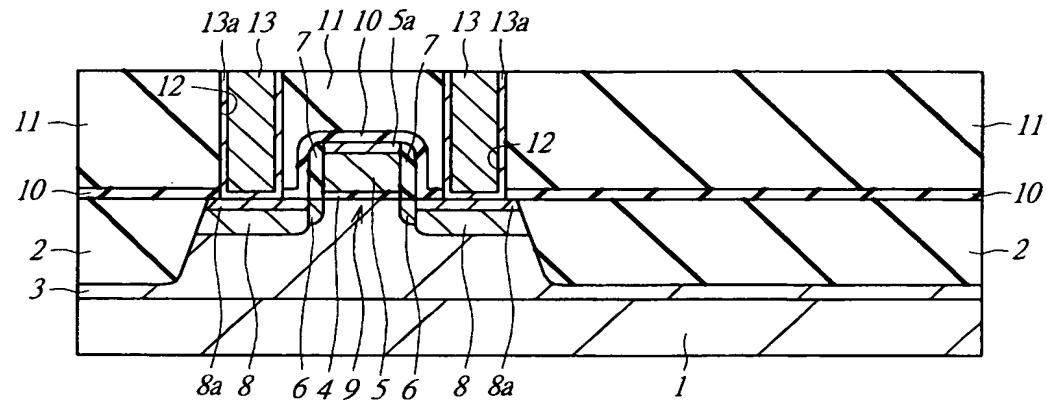
41 主導体膜

- 4 2 配線
- 4 3 下部電極
- 4 4 ~ 4 6 絶縁膜
- 4 7 開口部
- 4 8 導電性バリア膜
- 4 9 主導体膜
- 5 0 上部電極
- 5 1 ~ 5 3 絶縁膜
- 5 4 開口部
- 5 5 開口部
- 5 5 a 開口部
- 5 6 導電性バリア膜
- 5 7 主導体膜
- 5 8 配線
- 5 9 導体部
- 7 1 開口部
- 7 2 絶縁膜
- 8 1 開口部
- 8 2 上部電極
- 8 3 開口部
- 8 4 導体部

【書類名】 図面

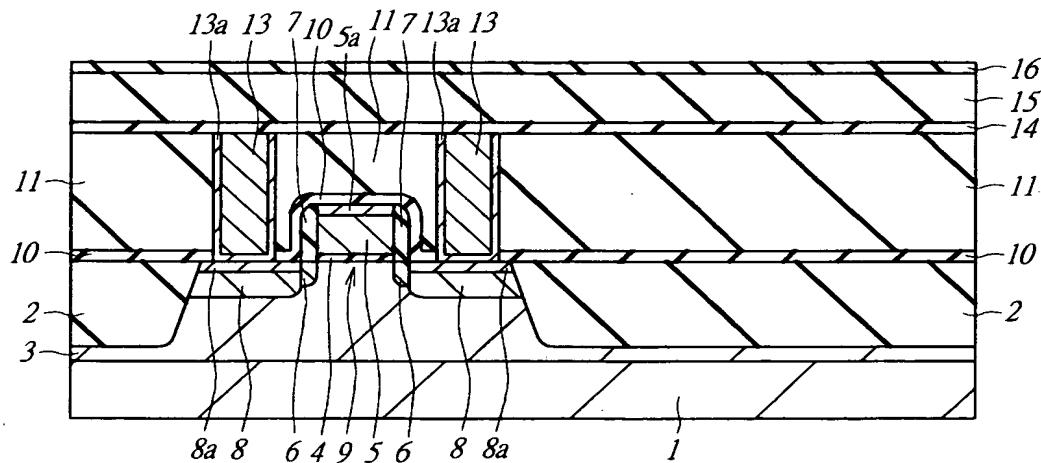
【図 1】

図 1



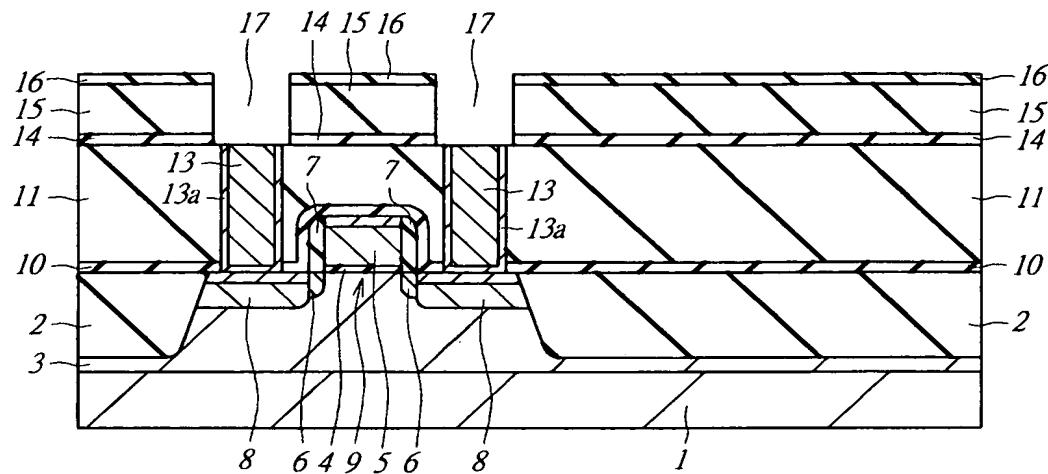
【図 2】

図 2



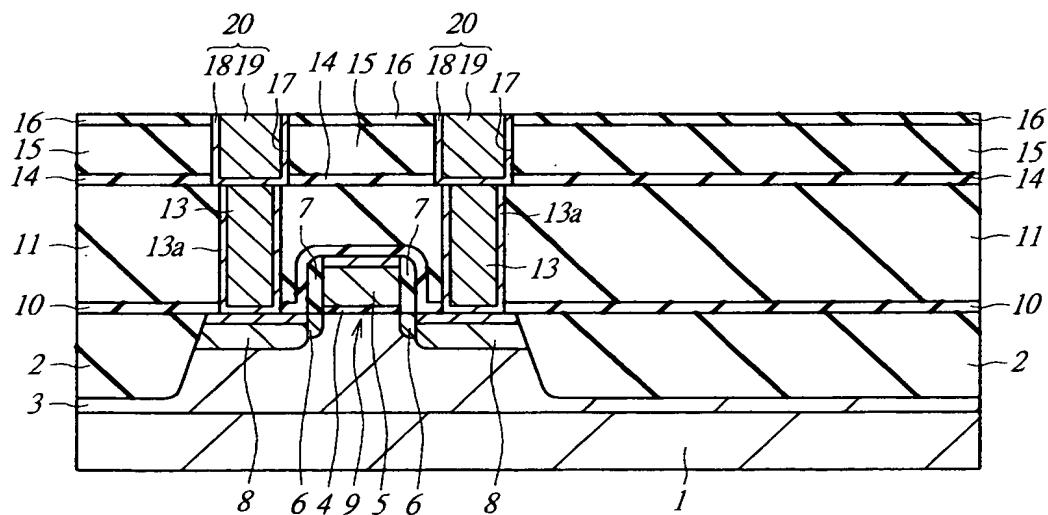
【図3】

図 3



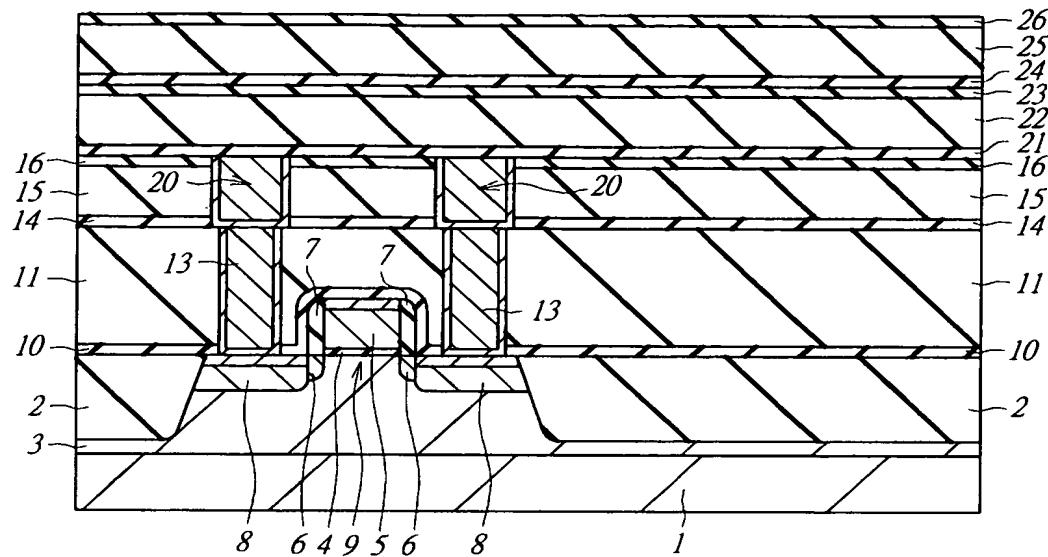
【図4】

図 4



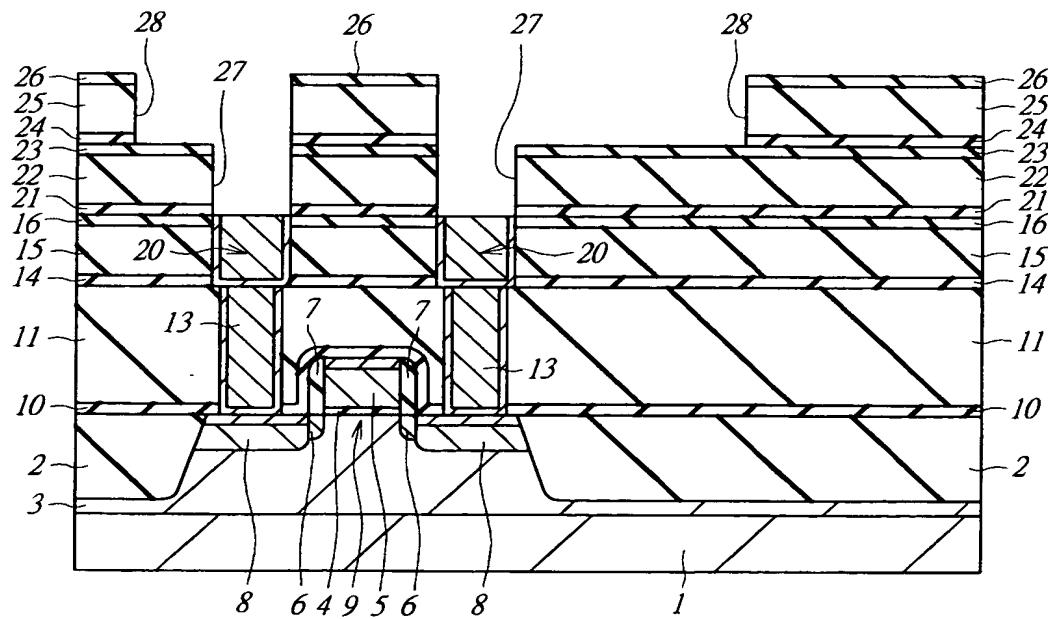
【図 5】

図 5



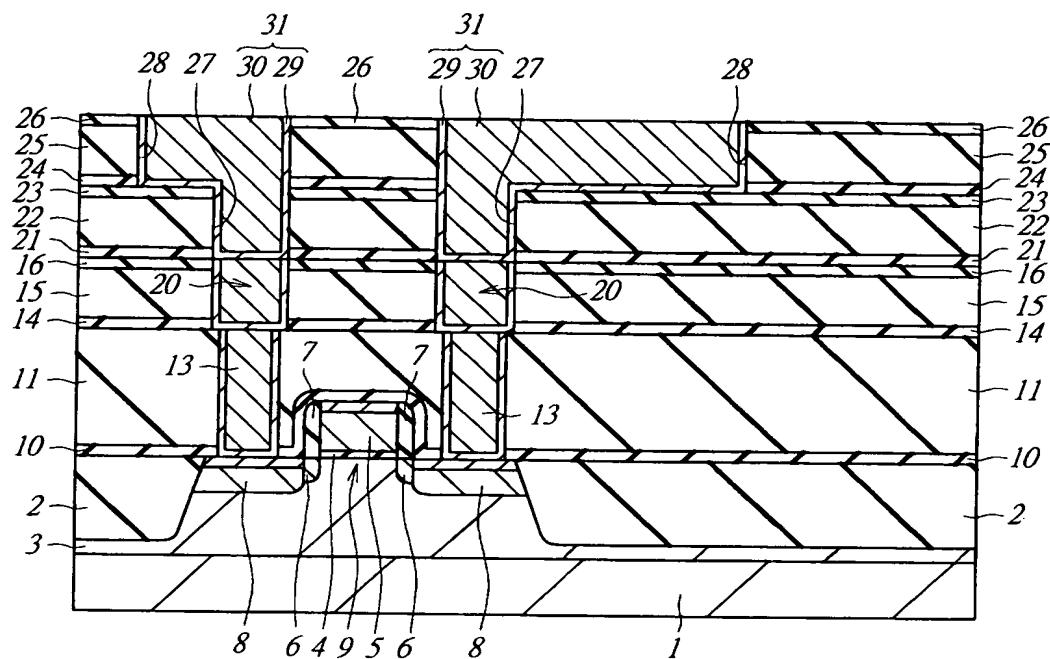
【図 6】

図 6



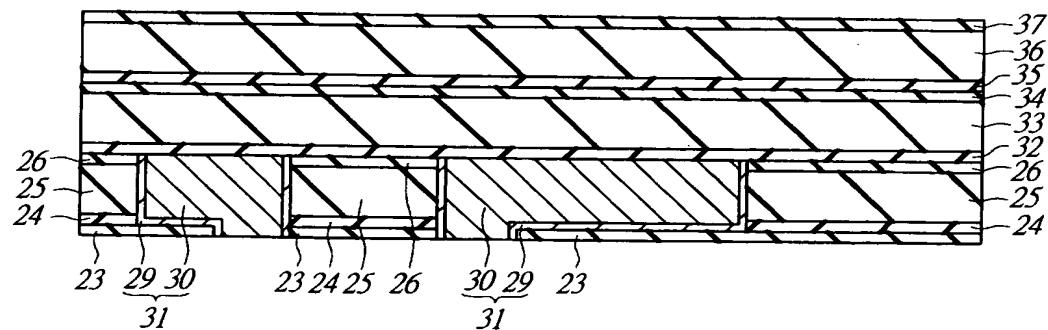
【図7】

図 7



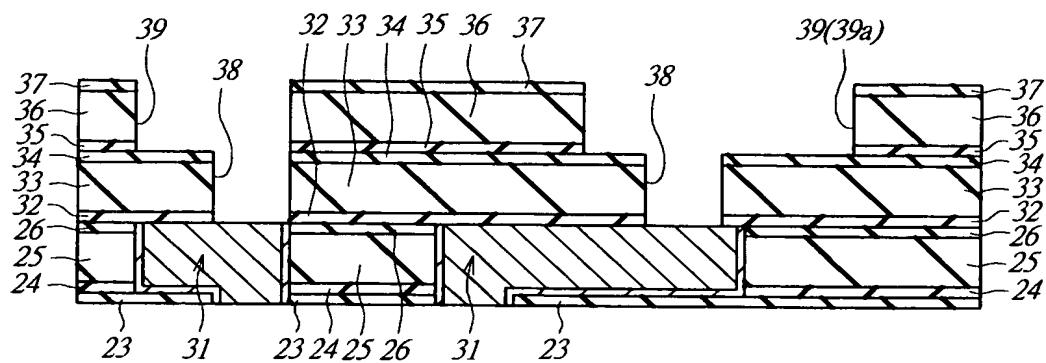
【図8】

図 8



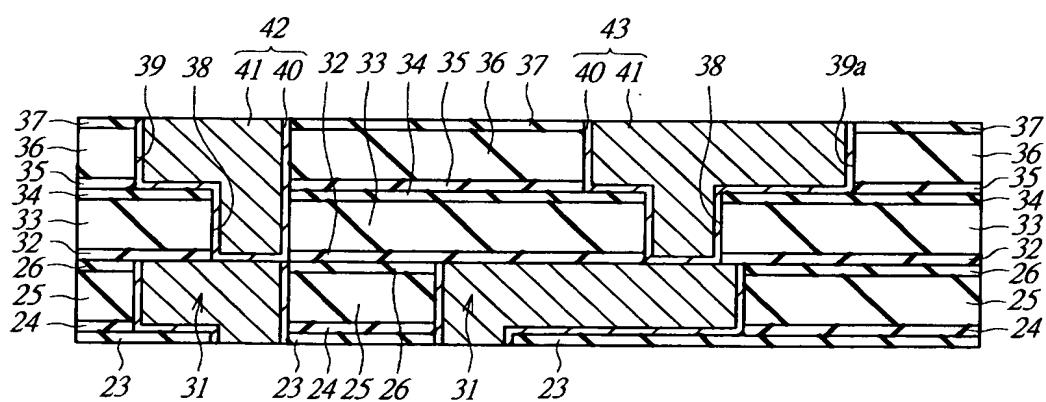
【図9】

図 9



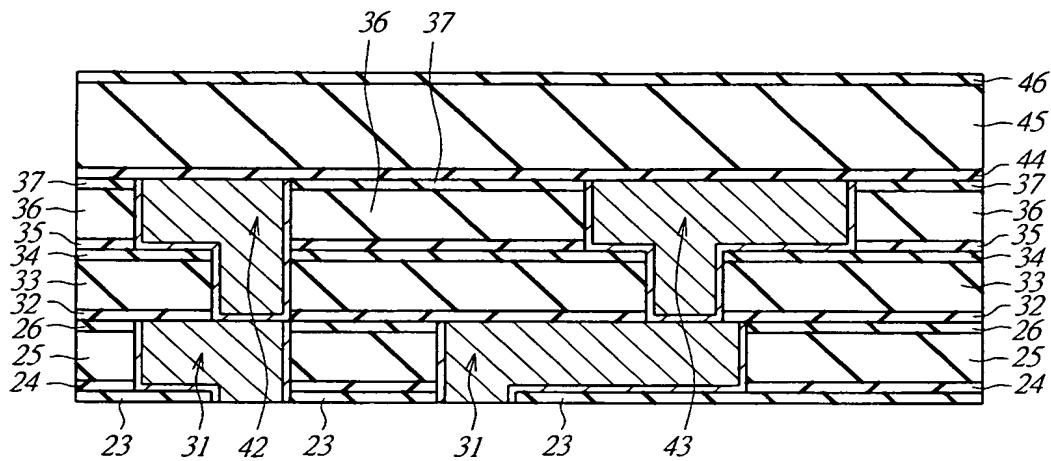
【図10】

図 10



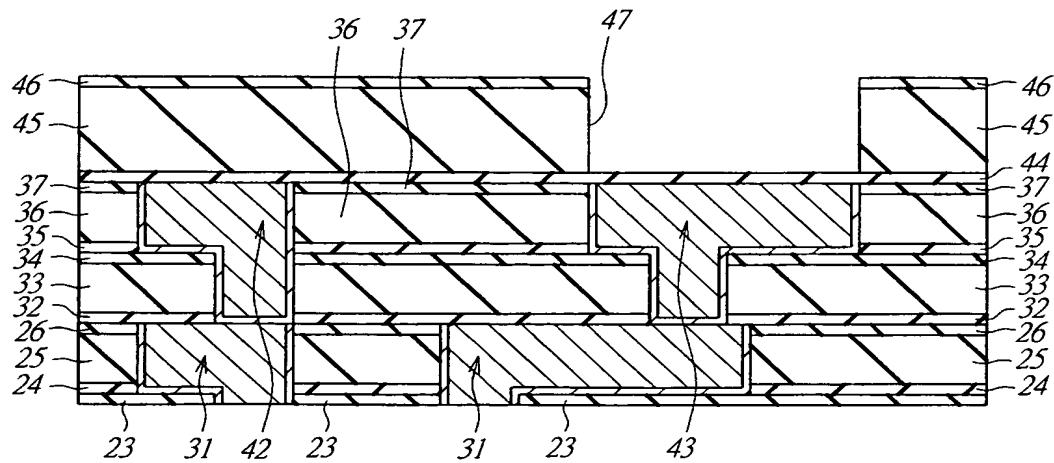
【図 11】

図 11



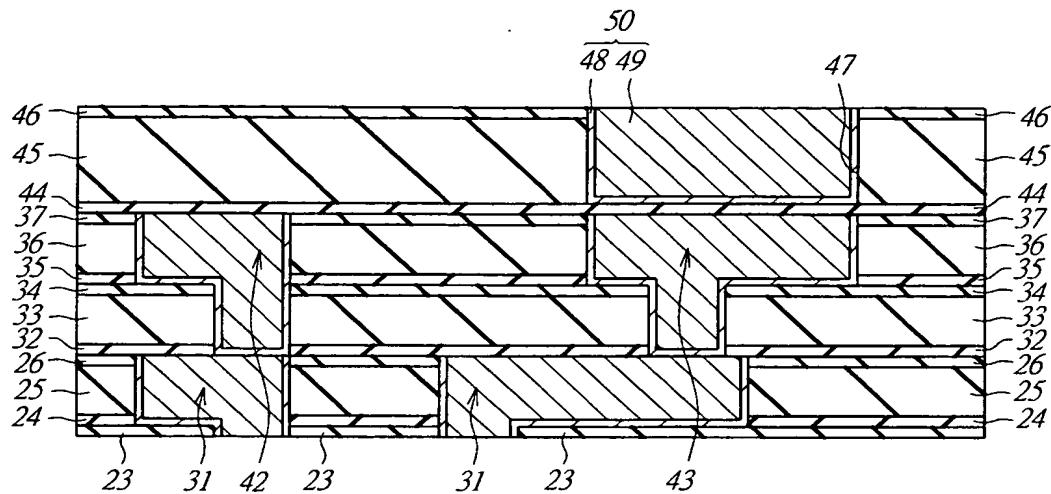
【図 12】

図 12



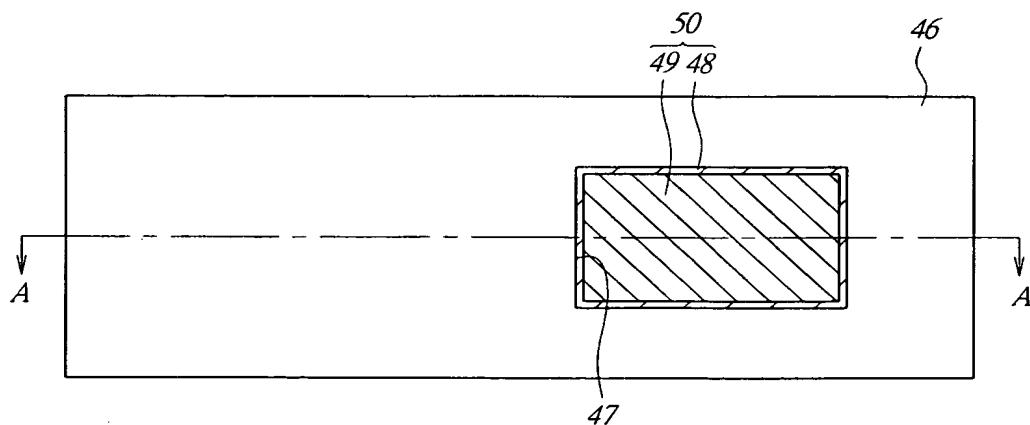
【図13】

図 13



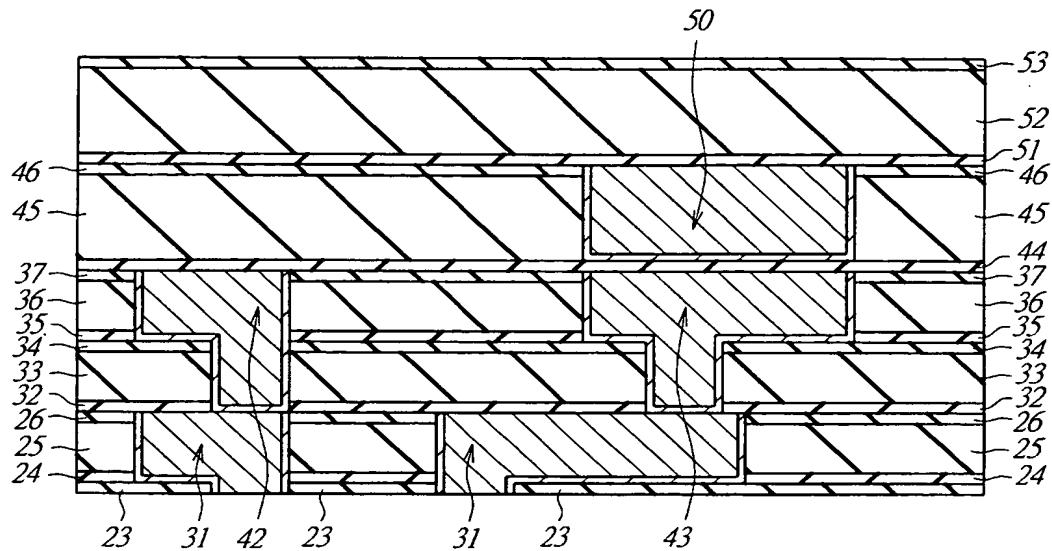
【図14】

図 14



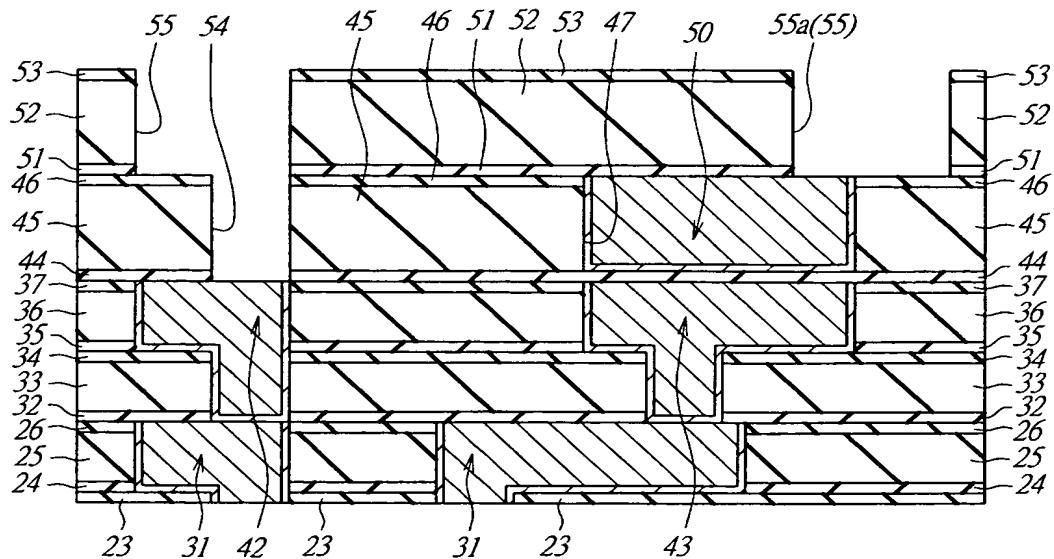
【図15】

図 15



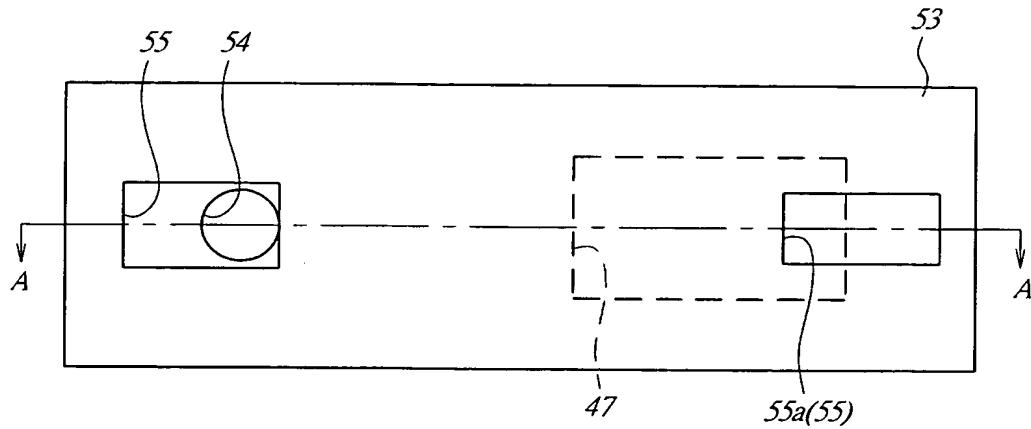
【図16】

図 16



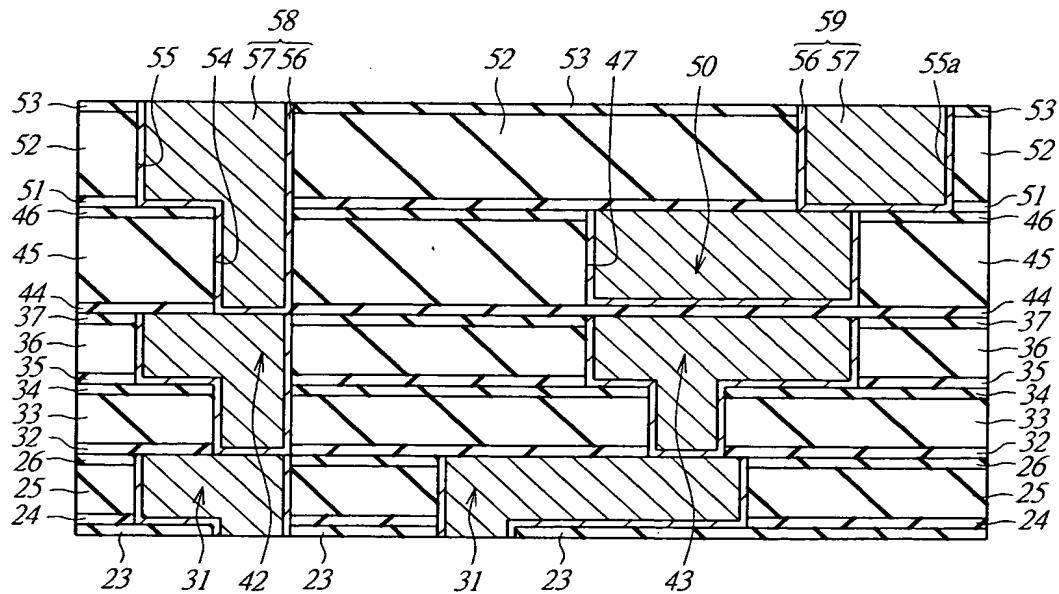
【図17】

図 17



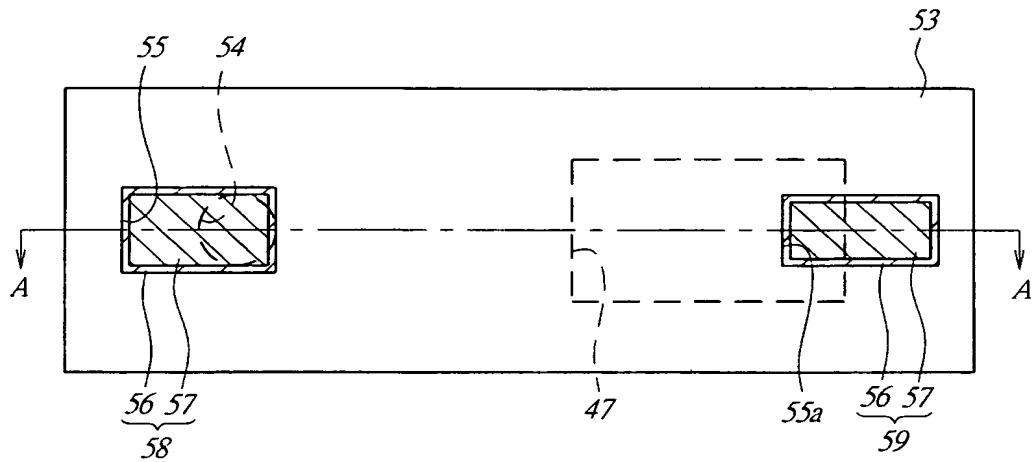
【図18】

図 18



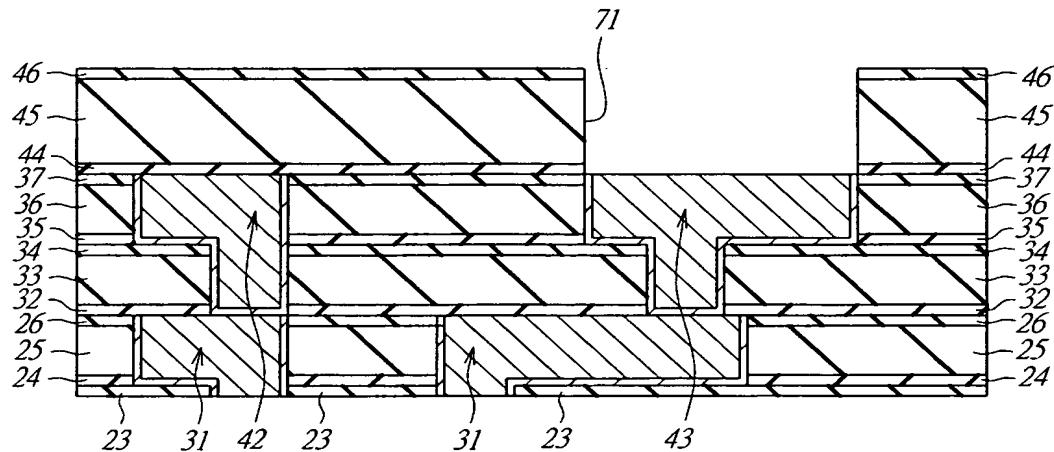
【図19】

図 19



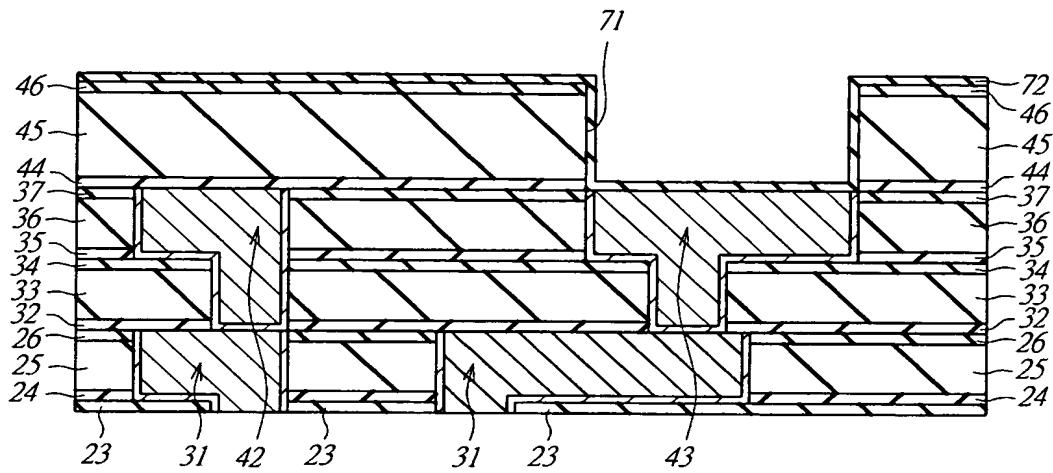
【図20】

図 20



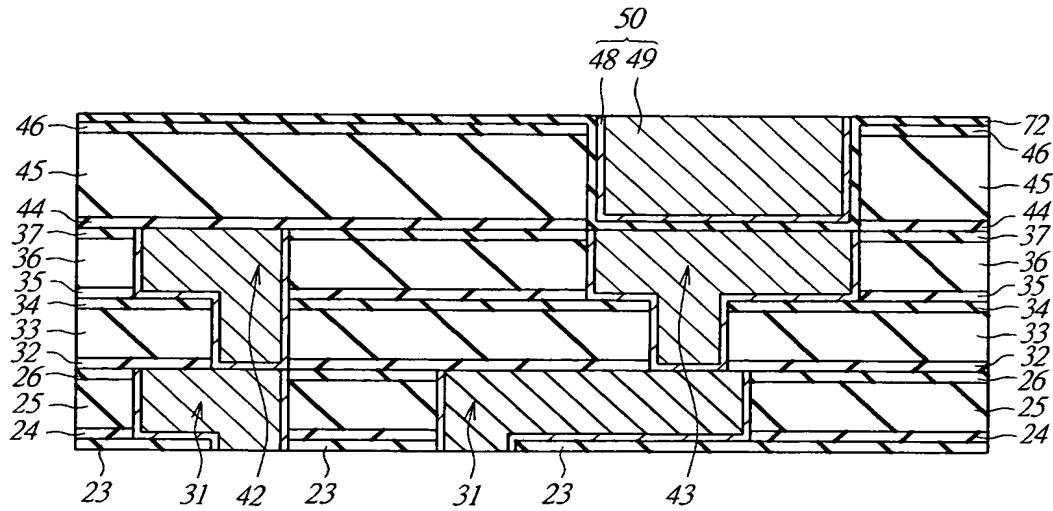
【図 21】

図 21



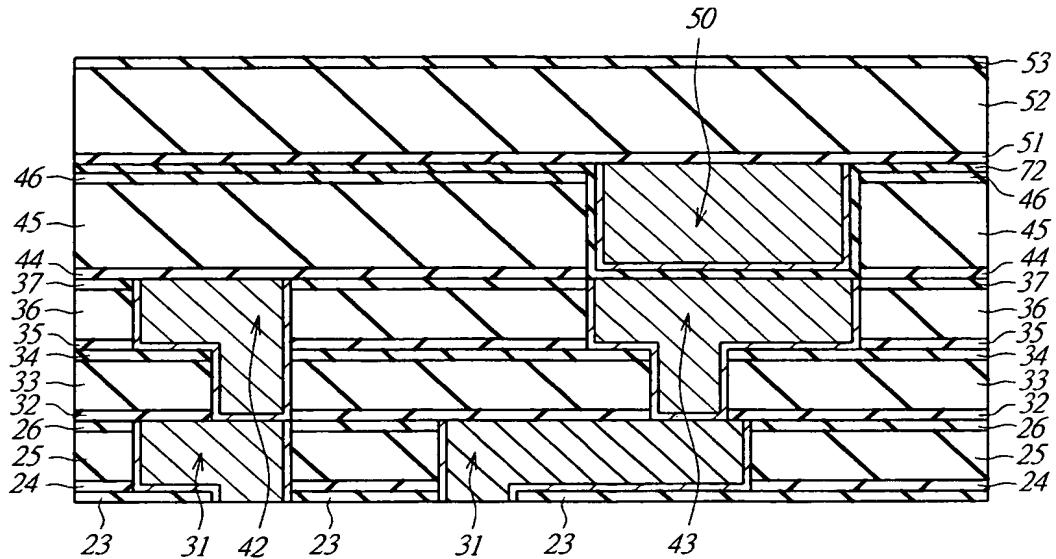
【図 22】

図 22



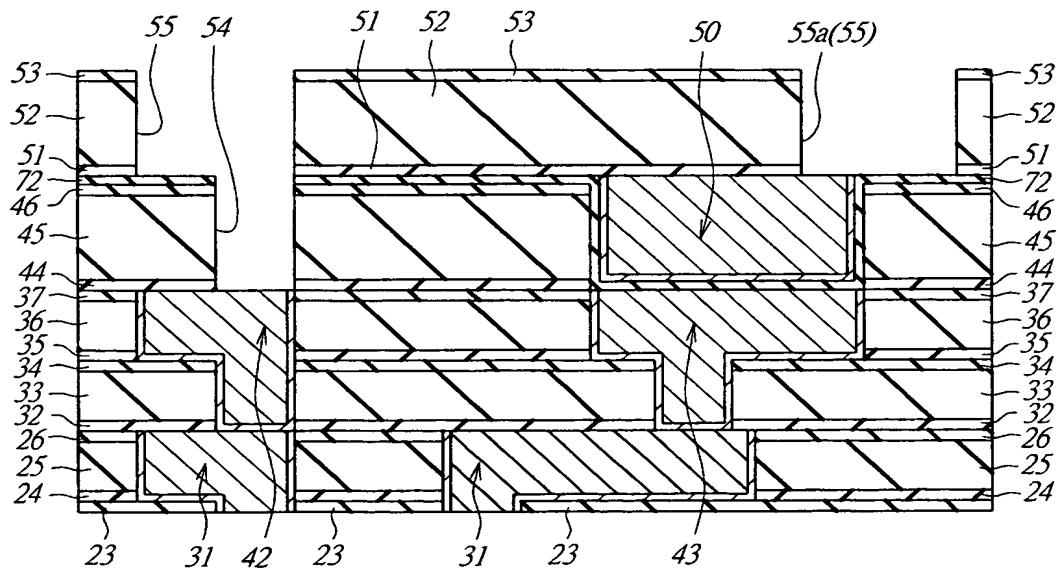
【図23】

図 23



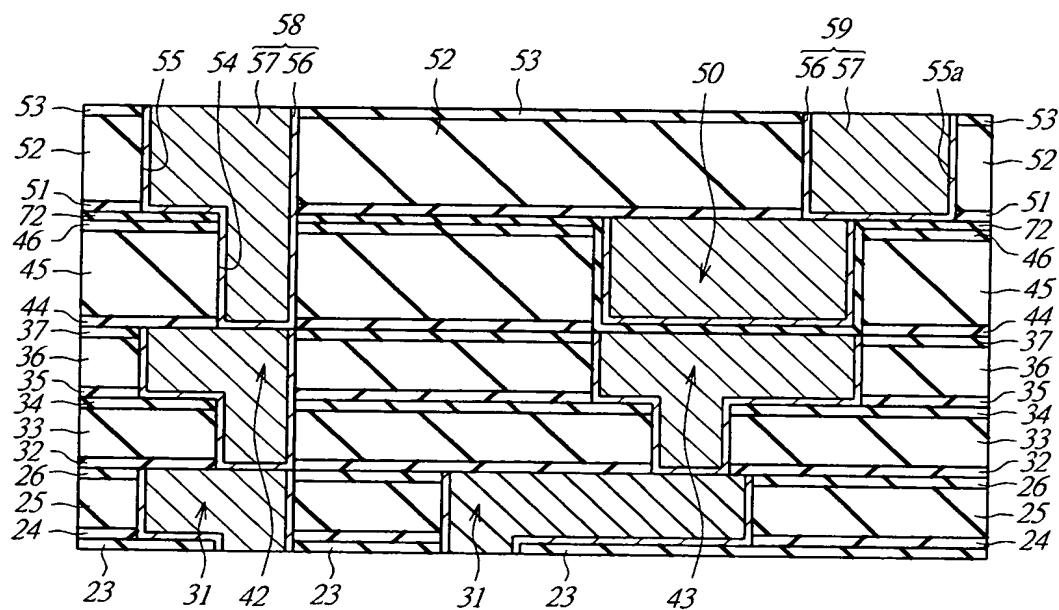
【図24】

図 24



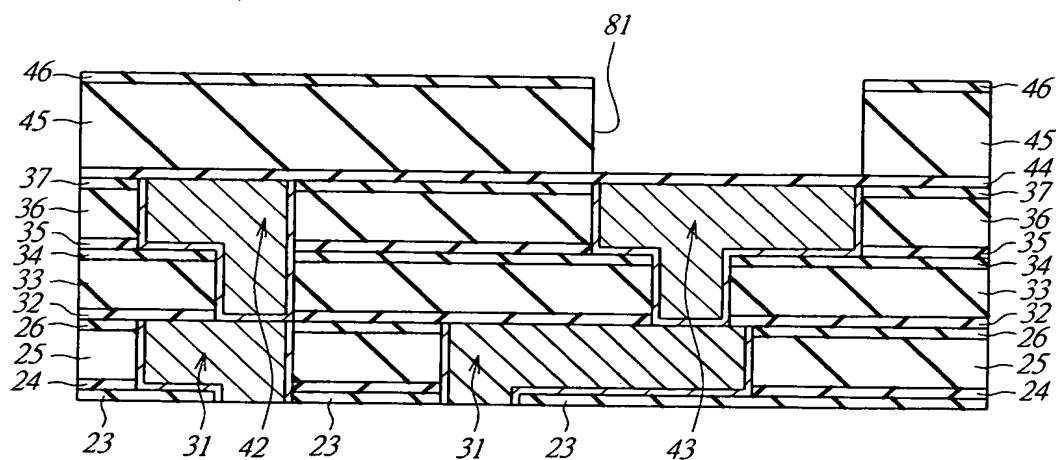
【図25】

図 25



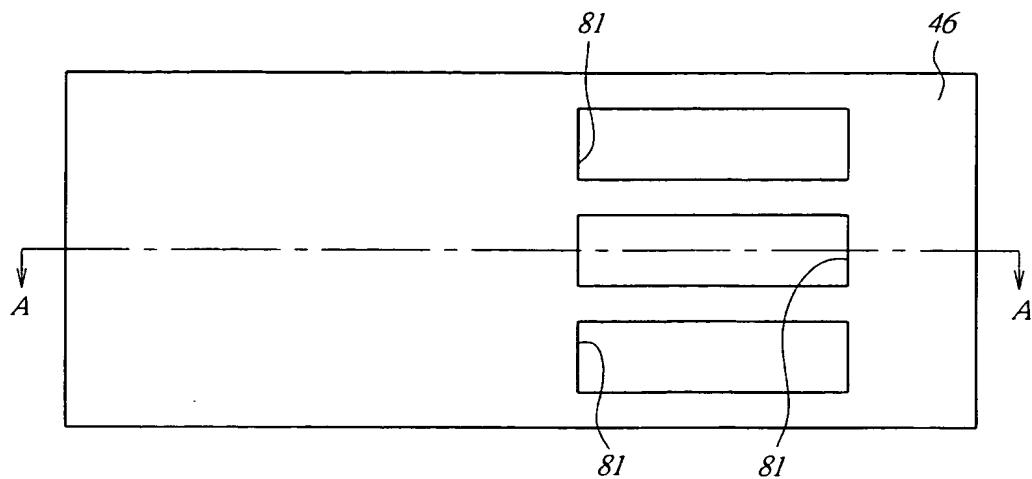
【図26】

図 26



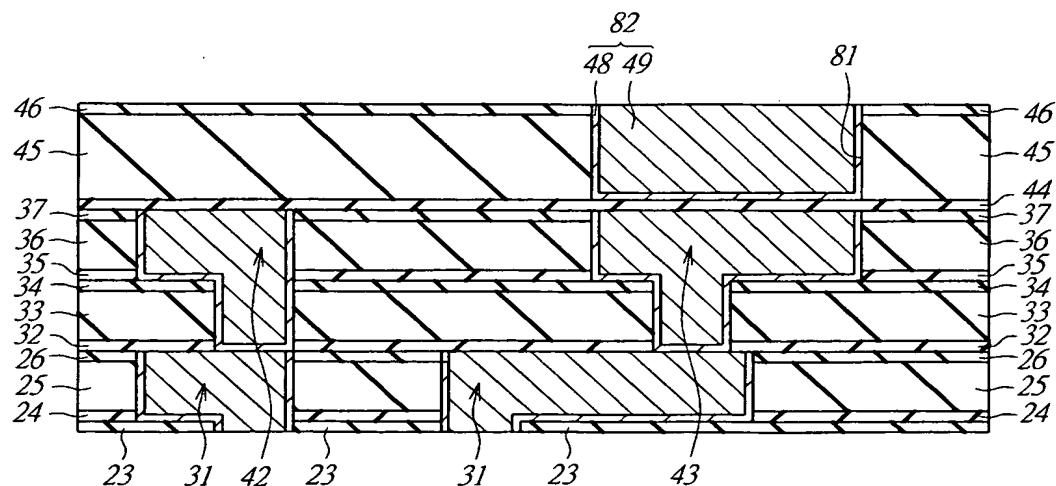
【図27】

図 27



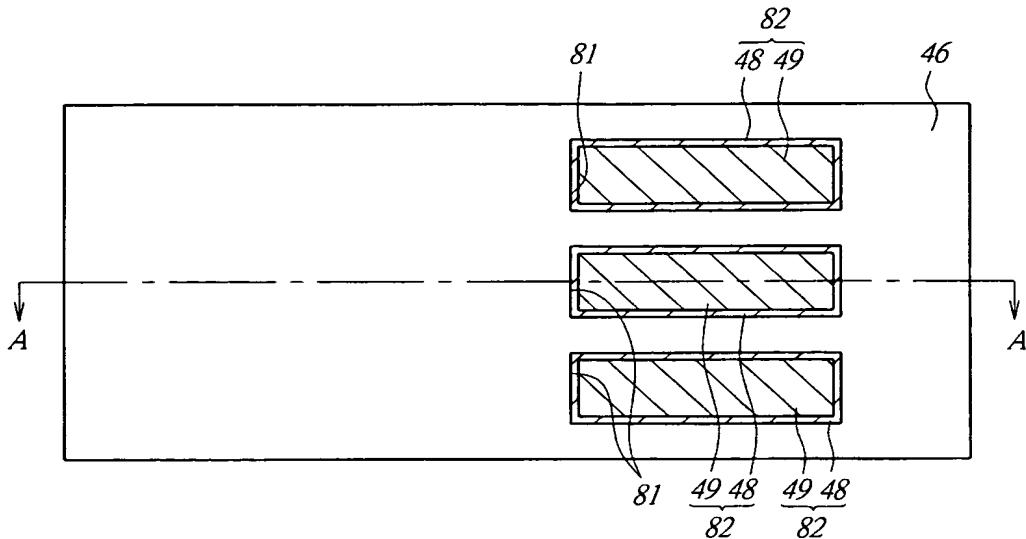
【図28】

図 28



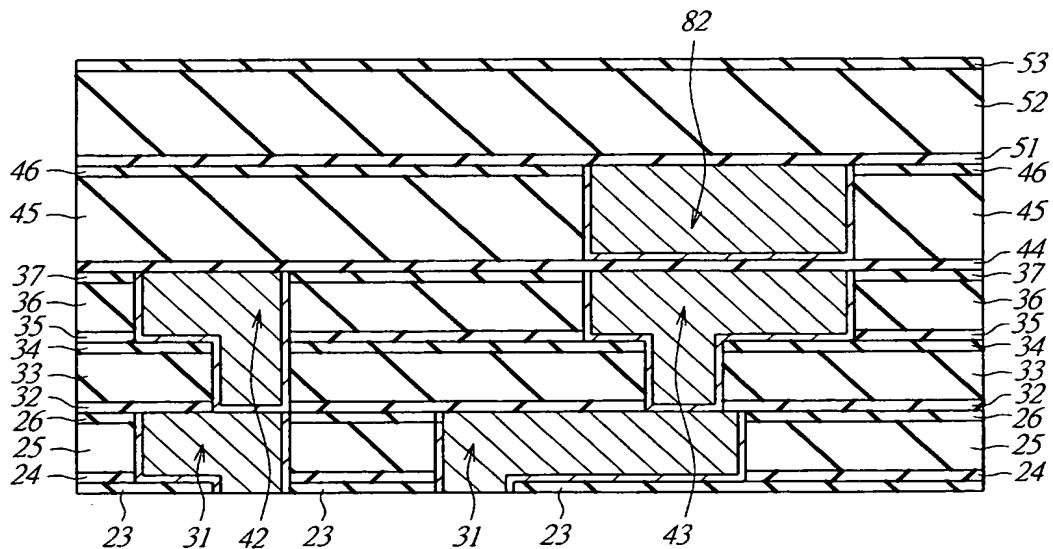
【図29】

図 29



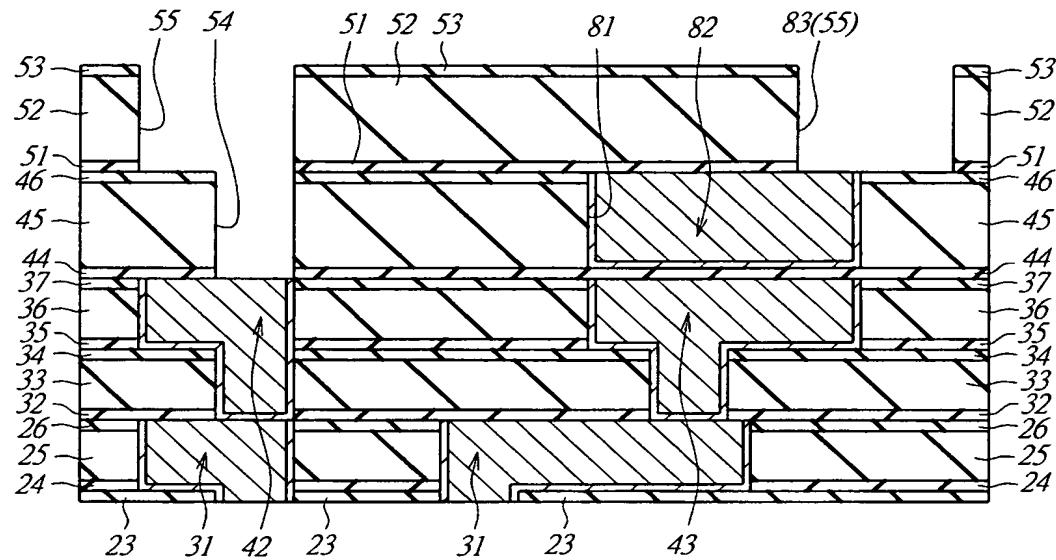
【図30】

図 30



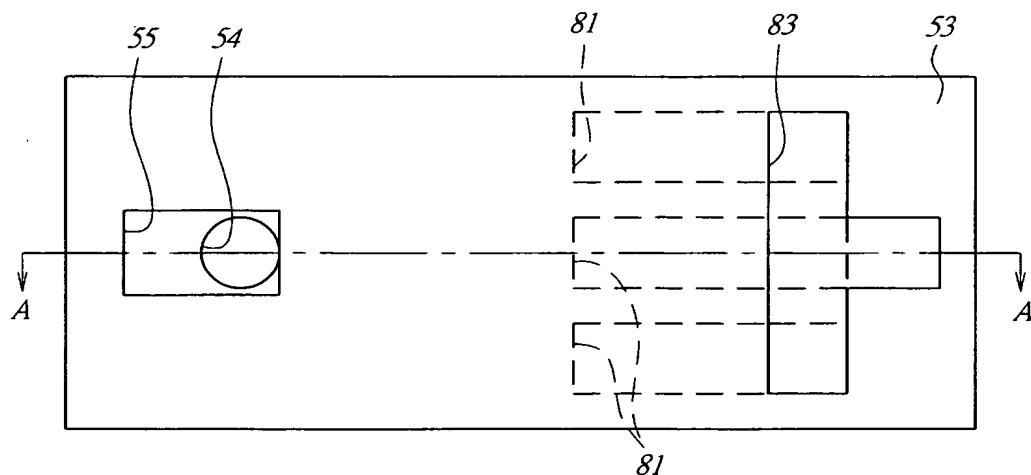
【図31】

図 31



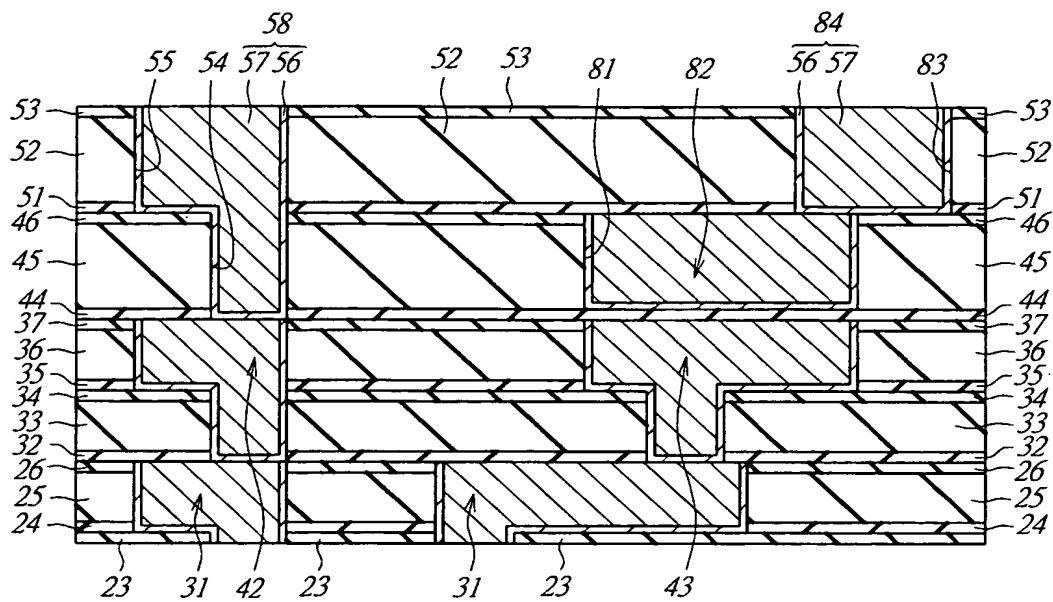
【図32】

図 32



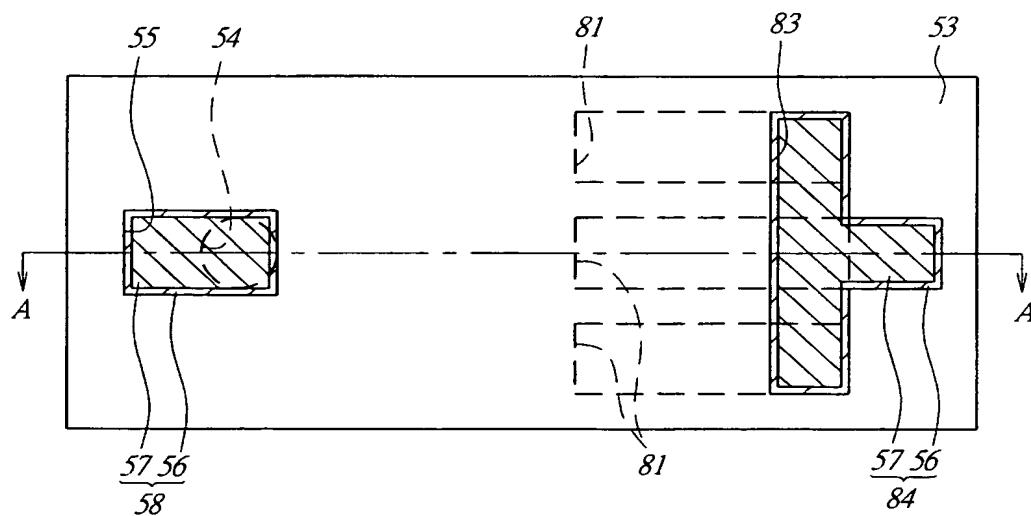
【図33】

図 33



【図34】

図 34



【書類名】 要約書

【要約】

【課題】 信頼性の高い埋込配線とMIMキャパシタを有する半導体装置の製造方法を提供する。

【解決手段】 絶縁膜32～37に形成された開口部内に配線42とキャパシタの下部電極43とを形成する。それから、配線42および下部電極43の上面を含む絶縁膜37上にバリア絶縁膜として絶縁膜44を形成する。絶縁膜44上に絶縁膜45, 46を形成した後、絶縁膜45, 46に開口部を形成し、その開口部内にキャパシタの上部電極50を埋め込む。絶縁膜44はキャパシタの容量絶縁膜としても機能する。その後、上部電極50の上面を含む絶縁膜46上に絶縁膜51～53を形成した後、絶縁膜44～46, 51～53に開口部を形成し、その開口部内に配線58を埋め込む。

【選択図】 図18

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 2249

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平4-71767号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2003-002249
受付番号	50301194935
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6890
作成日	平成15年 9月 3日

<認定情報・付加情報>

【提出日】	平成15年 7月18日
-------	-------------

特願 2003-002249

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

特願 2003-002249

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ